

10/511423 423

Rec'd PCTO 15 OCT 2004

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年10月23日 (23.10.2003)

PCT

(10) 国際公開番号
WO 03/088357 A1

(51) 国際特許分類:

H01L 27/088

(72) 発明者; および

(21) 国際出願番号:

PCT/JP03/04700

(75) 発明者/出願人 (米国についてのみ): 渡部 平司
(WATANABE,Heiji) [JP/JP]; 〒108-8001 東京都 港区
芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

(22) 国際出願日:

2003年4月14日 (14.04.2003)

(74) 代理人: 浜田 治雄 (HAMADA,Haruo); 〒107-0062 東
京都 港区 南青山 3 丁目 4 番 12 号 知恵の館 Tokyo
(JP).

(25) 国際出願の言語:

日本語

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,
BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU,
LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ,
OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ,

(26) 国際公開の言語:

日本語

(30) 優先権データ:

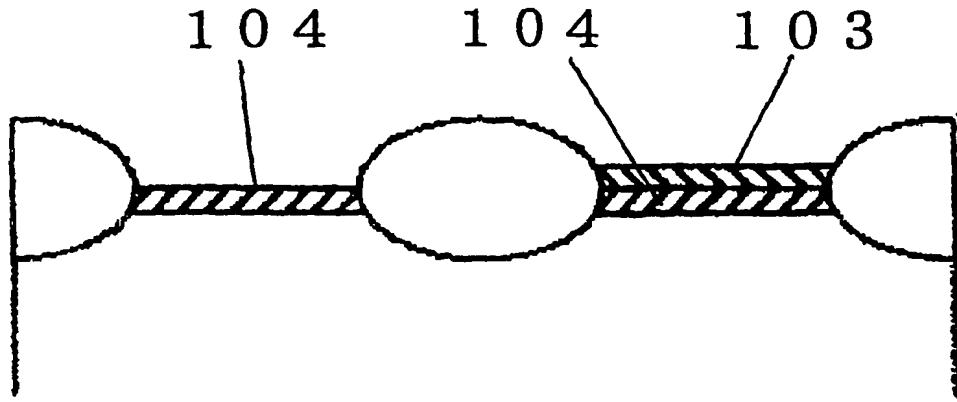
特願2002-112182 2002年4月15日 (15.04.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気
株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001
東京都 港区 芝五丁目 7 番 1 号 Tokyo (JP).

[統葉有]

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体装置およびその製造方法



WO 03/088357 A1

(57) Abstract: The structure of a semiconductor device which includes a plurality of types of transistors having gate insulation films with mutually different film thicknesses, enables suppression of wafer contamination, and is excellent in film thickness controllability and uniformity, and a simple method for manufacturing the semiconductor device. An insulation film layer having a multilayer structure of at least a first insulation film (104) made of a first high-permittivity insulation material and a second insulation film (103) made of a second high-permittivity insulation material is formed on the same silicon substrate (101). Through a multioxide process for selectively etching away the overlying second insulation film (103) in a partial region (105) with an etching mask (107), a high-permittivity insulation material is utilized to manufacture a plurality of types of transistors having gate insulation films with mutually different electric film thicknesses while reducing leakage current.

(57) 要約: 膜厚の異なるゲート絶縁膜を有するトランジスタ複数種類を含む半導体装置において、ウエハー汚染を抑制でき、膜厚制御性や均一性に優れた半導体装置の構造、ならびにその簡便な製造方法を提供する。同一のシリコン基板 101 上に、少なくとも第一の高誘電率絶縁材料からなる第一の絶縁膜 104 と第二の高誘電率絶縁材

[統葉有]

BEST AVAILABLE COPY



TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA,
ZM, ZW.

(84) 指定国(広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,
AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI
特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイドスノート」を参照。

明細書

半導体装置およびその製造方法

技術分野

本発明は、高誘電率絶縁体材料からなるゲート絶縁膜を有する半導体装置及びその製造方法に関し、特に、同一基板上に形成されている、複数種類のゲート絶縁膜を有する複数種類のトランジスタから構成される半導体装置とその製造方法に関する。

背景技術

MOSFET（金属一酸化一半導体電界効果型トランジスタ）を利用する半導体装置では、その高性能化と集積化に伴い、MOSFETを構成するゲート絶縁膜の薄層化が進められている。例えば、ゲート長が100 nm以下のMOSFETにおいて、電流駆動能力の向上を図る上では、シリコン酸化膜をゲート絶縁膜として用いる際、スケーリング則に従うと、その膜厚を1.5 nm以下とする必要となっている。一方、ゲート絶縁膜にこの様な極薄のシリコン酸化膜を用いる場合、ゲート・バイアス印加時にゲート絶縁膜を挿んで発生するトンネル電流量は、ソース／ドレイン電流に対して、無視できない値となる。このトンネル電流量の増大を抑制することが、MOSFETの高性能化と低消費電力化を進める上で、大きな課題となっている。

加えて、近年、モバイル・ユースを中心として、超低消費電力素子の開発が必要となっている。これらモバイル・ユース用の半導体装置では、上記の高性能化・高集積化を志向する半導体装置と比較すると、個々の素子自体は、そのゲート絶縁膜の膜厚は厚くできるデバイス・スケールで設計されているものの、全体として超低消費電力化を進める上では、やはり、ゲート絶縁膜にシリコン酸化膜を用いている従来の素子と対比して、ゲート・バイアス印加時のトンネル電流量など、不必要なりーク電流値を飛躍的に低減する必要がある。

従って、高性能素子ならびに低消費電力素子の双方ともに、ゲート絶縁膜の

実効的（電気的）な膜厚を薄くしつつ、同時に、トンネル電流をデバイス設計上の許容値内に抑えるための手法の研究・開発が進められてきた。

その手法の一つは、シリコン酸化膜中に窒素を添加することで、純粋なシリコン酸化膜に比べて誘電率が増加したゲート絶縁膜とすることによって、物理的な膜厚を薄層化することなしに、ゲート絶縁膜の実効的な膜厚を減少させる方法である。さらに、近年、シリコン酸化膜に代えて、誘電率が10以上の絶縁性金属酸化物薄膜、あるいは、これら絶縁性金属酸化物材料とシリコンとの複合材料である絶縁性シリケート薄膜を、ゲート絶縁膜用の絶縁材料として利用する試みがなされている。この目的に利用可能な高誘電率絶縁材料として、 Al_2O_3 、 ZrO_2 や HfO_2 、ならびに Y_2O_3 などの希土類元素酸化物や La_2O_3 などのランタノイド系希土類元素酸化物、あるいは、それらのシリケート薄膜が検討されている。

加えて、前記の高誘電率絶縁材料をゲート絶縁膜に用いる際、ゲート絶縁膜とシリコン基板との界面電気特性を改善することも、重要な開発課題となっている。

その解決手段の一つとして、高誘電率絶縁材料膜とシリコン基板との間に、シリコン酸化膜をベースとした界面層を挿入して、高誘電率絶縁材料膜／界面酸化膜／シリコン基板からなる積層構造とすることが提案されている。この界面酸化膜を設けた積層構造を形成する方法として、高誘電率絶縁材料膜の成膜に先立ち、下地酸化膜として、予めシリコン基板表面に酸化膜層を形成しておく方法、あるいは、シリコン基板表面に高誘電率絶縁材料膜の直接形成した後、シリコン基板に熱処理を施すことで、界面に熱酸化膜層を成長させる方法などがある。

一方、個々の素子を構成するゲート絶縁膜に関して、上述した通り、その用途に応じて、様々な特性が要求されることに加えて、複数の素子を利用する集積回路を構成する際には、例えば、目的にあった、互いに素子構成が異なる多種類のトランジスタを同一基板上に作製する技術が必要となる。

具体的には、高速動作用のトランジスタと低消費電力型のトランジスタとを同一基板上に作製する場合や、あるいは、内部回路を構成するトランジスタと

入出力部のトランジスタとを同一基板上に作製する場合がある。これらの場合、異なる種類のトランジスタは、それぞれの用途に応じて、ゲート絶縁膜の膜厚が適正に選択された、異なった素子構造に設計することが望ましい。

さらには、フラッシュ・メモリなどで用いられるトンネル絶縁膜に関しても、通常の MOSFET のゲート絶縁膜とは異なった絶縁膜を用いることで、その最適化を行う必要がある。

複数の異なる種類の素子を利用する集積回路を作製する際、各種類の素子に応じて、実効的な（電気的な）膜厚の異なる複数種類の絶縁膜を同一基板上に形成する技術が必要となる。この技術は、マルチオキサイド・プロセスと称する。現在、この作製技術の開発が急務となっており、これまでにも、幾つかの手法が提案されている。

既に提案されているマルチオキサイド・プロセスの第一の手法では、シリコン基板表面に形成したシリコン酸化膜をレジスト・マスクとフッ酸溶液処理によりパターニングし、部分的にシリコン酸化膜を剥離した開口部を設けた後、その開口部分に所望の絶縁膜（シリコン酸化膜）の形成を行う工程を順次繰り返して、膜厚の異なる複数種類の絶縁膜を作製するプロセスである。

既に提案されているマルチオキサイド・プロセスの第二の手法では、シリコン基板表面の特定部分にイオン注入を行って、他の領域と比較して、イオン注入領域における酸化速度を変化（增速）させて、膜厚の異なる複数種類の絶縁膜を形成するプロセスである。これらプロセスが現在検討されている。

前述の既に提案されているマルチオキサイド・プロセスの手法では、特定の領域において、シリコン酸化膜自体の膜厚を選択的に変える手法を中心として、検討が進められているが、そのプロセス上において以下の問題点がある。例えば、レジスト・マスクと選択的なウェット・エッティングによって、部分的にシリコン酸化膜剥離を行う工程と、その後、開口部にシリコン酸化膜改めて形成する工程とを順次繰り返す手法では、作製する膜厚の異なるシリコン酸化膜の種類が増すとともに、全体工程が複雑になること、さらに、シリコン酸化膜剥離後のウエハー表面に対する汚染が問題となる。

シリコン酸化膜剥離部分（デバイス領域）における、ウエハー表面汚染を除

去する洗浄工程として、レジスト・マスクを薬液などで剥離した後、ウエハー表面全体にアンモニア-過酸化水素水混合液や硫酸-過酸化水素水混合液による洗浄を施すが、その際、シリコン表面に薄い酸化膜（化学酸化膜）が形成される。この洗浄工程後に残留する酸化膜は、膜厚にバラツキがあり、絶縁特性も悪く、膜質は粗悪なものである。このため、極薄ゲート酸化膜を形成する際、予めフッ酸溶液などで剥離した上で、ゲート酸化膜の形成工程を行う。

しかし、この化学酸化膜の剥離（エッチング除去）工程は、厚膜のシリコン酸化膜表面を覆っていたレジスト・マスクを除去した後に実施されるため、厚膜のシリコン酸化膜領域においても、僅かであるが、膜厚の目減りを引き起こすという問題が生じる。この膜厚の目減りに対しては、厚膜のシリコン酸化膜表面に窒化処理を施したり、表面に異種の絶縁材料膜で被覆したりすることで、上記の汚染除去工程で形成される化学酸化膜よりも、エッチング速度を小さくし、このエッチング速度差を利用して、化学酸化膜の剥離（エッチング除去）工程に伴う、厚膜のシリコン酸化膜での膜厚の目減りを抑制するプロセスが提案されている。このプロセスは、例えば、特開2001-196464に開示されている。

一方、イオン注入により、酸化速度を制御する手法では、イオン照射に起因するダメージ回復を図る工程が不可欠となり、例えば、ダメージ回復のため、加熱処理を伴う工程を付加すると、他に好ましくない影響を及ぼす場合もあり、さらには、この選択的なイオン照射工程に伴う生産性とコスト面での制約も、実用上の問題として指摘されている。

上述するように、個々の素子性能の最適化、具体的には、高性能化と低消費電力化を実現するためには、シリコン酸化膜に代えて、高誘電率絶縁材料膜の利用と、それに対応したマルチオキサイド・プロセスの採用が必要となる。高誘電率絶縁材料膜を利用する際、素子構造としては、高速動作用素子と低消費電力型素子、あるいは内部回路を構成する素子と入出力部の素子との間で、互いに異なる絶縁膜を採用することが提案されている。具体的には、シリコン酸化膜やシリコン酸窒化膜と、高誘電率絶縁性の金属酸化物膜とを、用途に応じて、組み合わせる素子構成が考えられる。対応するマルチオキサイド・プロセ

スとしては、上述の高誘電率絶縁材料膜の作製工程は、シリコン基板表面への堆積技術を中心に開発が進められており、従って、イオン注入によるシリコン基板の酸化速度制御技術で利用される手法を応用することは一般的に困難である。

従って、高誘電率絶縁材料膜の作製工程に、シリコン基板表面への堆積技術を利用する場合、対応したマルチオキサイド・プロセスの基本的な例として、レジストなどのマスクを利用した部分的に開口部の作製、加えて、開口部領域の酸化や酸窒化あるいは高誘電率絶縁材料膜の堆積を、順次繰り返す方法が考えられる。その際、シリコン酸化膜を利用するマルチオキサイド・プロセスの場合と同様に、開口部の作製に伴い、膜厚の均一性の低下や、開口部に露呈したシリコン基板表面の汚染等の問題が予想される。特に、高誘電率絶縁性の金属酸化物膜を利用する場合、この金属酸化物膜の除去（エッティング）工程に由来する金属元素のシリコン基板表面への付着など、開口部に露呈したシリコン基板表面の新たな汚染要因となることが懸念されている。

そのため、これら高誘電率絶縁材料膜を利用する際に予想される新たな汚染要因を回避でき、堆積技術を利用して形成される高誘電率絶縁材料膜を用いたマルチオキサイド構造に対応したマルチオキサイド・プロセスに適した半導体装置の素子構成ならびにプロセスの提案が望まれている。

発明の開示

本発明は上記の課題を解決するもので、本発明の目的は、膜厚の異なるゲート絶縁膜を有するトランジスタ複数種類を含む半導体装置において、消費電力低減や信頼性向上などの素子動作特性の向上に加え、マルチオキサイド・プロセスにおけるウエハー汚染を抑制でき、膜厚制御性や均一性、さらには生産性において優れた半導体装置の構造を提供することにある。

更に、本発明の目的は、膜厚の異なるゲート絶縁膜を有するトランジスタ複数種類を含む半導体装置において、消費電力低減や信頼性向上などの素子動作特性の向上に加え、マルチオキサイド・プロセスにおけるウエハー汚染を抑制でき、膜厚制御性や均一性、さらには生産性において優れた半導体装置の製造

方法を提供することにある。

本発明者らは上記の課題を解決すべく、鋭意研究を進めたところ、複数種類のトランジスタを利用する半導体装置、特に、この半導体装置に含まれる少なくとも二種類のトランジスタは、同一のシリコン基板上に形成され、電気的膜厚が互いに異なるゲート絶縁膜を有するトランジスタとする際、一方のトランジスタでは、ゲート絶縁膜中に少なくとも第一の高誘電率絶縁材料からなる第一の絶縁膜を含むものとし、他のトランジスタでは、ゲート絶縁膜中に第一の高誘電率絶縁材料からなる第一の絶縁膜に加えて、さらに、第二の高誘電率絶縁材料からなる第二の絶縁膜を含む積層構造と有するものとすると、両者のゲート絶縁膜は、電気的膜厚が互いに異なるものとできることを見出した。さらに、かかる素子構成を採用すると、両者のゲート絶縁膜で共通している第一の高誘電率絶縁材料からなる第一の絶縁膜を形成した後、ゲート絶縁膜下のシリコン基板表面を露出することなく、以降のプロセスを実施でき、マルチオキサイド・プロセスにおけるウエハー汚染の抑制にも効果があることを確認した。本発明者らは、これらの知見に基づき、本発明を完成するに至った。

本発明の第一の態様によれば、複数種類のトランジスタを含んでなる半導体装置であって、

前記複数種類のトランジスタは、

第一の高誘電率絶縁材料からなる第一の絶縁膜を含み、且つ第一の電気的膜厚を有する第一のゲート絶縁膜を有する第一のトランジスタと、

前記第一の絶縁膜と、前記第一の高誘電率絶縁材料と異なる第二の高誘電率絶縁材料からなる第二の絶縁膜とを含む層構造を含み、且つ第一の電気的膜厚と異なる第二の電気的膜厚を有する第二のゲート絶縁膜を有する第二のトランジスタとを少なくとも含み、

前記第一及び第二のトランジスタは、同一のシリコン基板上に形成される半導体装置を提供する。

前記第一及び第二の高誘電率絶縁材料は、互いに異なる構成元素を含むよう構成し得る。

前記第一及び第二の高誘電率絶縁材料は、互いに同一構成元素を含むが

それらの組成比が異なるよう構成し得る。

前記第一及び第二の高誘電率絶縁材料は、互いに異なる結晶構造を有するよう構成し得る。

前記第一及び第二の絶縁膜の少なくとも一方は、その構成元素の種類及び組成比の少なくともいずれか1つが、その膜厚方向で連続的に変化するよう構成し得る。

前記第一及び第二の高誘電率絶縁材料は、互いに異なる密度を有するよう構成し得る。

前記第一及び第二の絶縁膜は、膜中のダングリング・ボンド密度の膜厚方向でのプロファイルが互いに異なるよう構成し得る。

前記第一及び第二のゲート絶縁膜の少なくとも一方において、前記第一の絶縁膜あるいは前記第二の絶縁膜と該シリコン基板との界面に、シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜の少なくともいずれか1つからなる界面層が存在するよう構成し得る。

前記第二のゲート絶縁膜に含まれる前記第一及び第二の高誘電率絶縁材料は、互いにウエットエッティングに対するエッティング速度が異なり、該エッティング速度がより速い絶縁材料からなる絶縁膜が、該エッティング速度がより遅い絶縁材料からなる絶縁膜の上に延在するよう構成し得る。例えば、前記エッティング速度は、フッ酸溶液に対するエッティング速度である。

前記第二のゲート絶縁膜に含まれる前記第一及び第二の高誘電率絶縁材料は、互いに気相エッティングに対するエッティング速度が異なり、該エッティング速度がより速い絶縁材料からなる絶縁膜が、該エッティング速度がより遅い絶縁材料からなる絶縁膜の上に延在するよう構成し得る。例えば、前記エッティング速度は、フッ素ラジカルによる気相エッティングに対するエッティング速度である。

前記第一の絶縁膜と前記第二の絶縁膜とを含む前記層構造は、膜厚方向に組成変調された層からなり、該層の下部領域が前記第一の高誘電率絶縁材料からなる第一の絶縁膜で構成され、該層の上部領域が前記第二の高誘電率絶縁材料からなる第二の絶縁膜で構成され得る。

本発明の第二の態様によれば、第一の高誘電率絶縁材料からなる第一の

絶縁膜を含み、且つ第一の電気的膜厚を有する第一の絶縁膜構造体と、

前記第一の絶縁膜と、前記第一の高誘電率絶縁材料と異なる第二の高誘電率絶縁材料からなる第二の絶縁膜とを含む層構造を含み、且つ第一の電気的膜厚と異なる第二の電気的膜厚を有する第二の絶縁膜構造体とを少なくとも含み、前記第一及び第二の絶縁膜構造体は、同一の半導体基板上に形成される半導体装置を提供する。

前記第一及び第二の高誘電率絶縁材料は、互いに異なる構成元素を含むよう構成し得る。

前記第一及び第二の高誘電率絶縁材料は、互いに同一構成元素を含むがそれらの組成比が異なるよう構成し得る。

前記第一及び第二の高誘電率絶縁材料は、互いに異なる結晶構造を有するよう構成し得る。

前記第一及び第二の絶縁膜の少なくとも一方は、その構成元素の種類及び組成比の少なくともいずれか1つが、その膜厚方向で連続的に変化するよう構成し得る。

前記第一及び第二の高誘電率絶縁材料は、互いに異なる密度を有するよう構成し得る。

前記第一及び第二の絶縁膜は、膜中のダングリング・ボンド密度の膜厚方向でのプロファイルが互いに異なるよう構成し得る。

前記半導体基板はシリコン基板からなり、前記第一及び第二のゲート絶縁膜の少なくとも一方において、前記第一の絶縁膜あるいは前記第二の絶縁膜と該シリコン基板との界面に、シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜の少なくともいずれか1つからなる界面層が存在するよう構成し得る。

前記第二の絶縁膜構造体に含まれる前記第一及び第二の高誘電率絶縁材料は、互いにウエットエッチングに対するエッチング速度が異なり、該エッチング速度がより速い絶縁材料からなる絶縁膜が、該エッチング速度がより遅い絶縁材料からなる絶縁膜の上に延在するよう構成し得る。例えば、前記エッチング速度は、フッ酸溶液に対するエッチング速度であってもよい。

前記第二の絶縁膜構造体に含まれる前記第一及び第二の高誘電率絶縁材料は、互いに気相エッティングに対するエッティング速度が異なり、該エッティング速度がより速い絶縁材料からなる絶縁膜が、該エッティング速度がより遅い絶縁材料からなる絶縁膜の上に延在するよう構成し得る。

前記エッティング速度は、フッ素ラジカルによる気相エッティングに対するエッティング速度であるよう構成し得る。

前記第一及び第二の絶縁膜構造体は、前記同一半導体基板上に形成された互いに異なる種類の第一及び第二の半導体素子が有するものであり、且つ前記半導体基板の表面に接するよう構成し得る。

前記第一及び第二の半導体素子は電界効果型トランジスタであり、第一及び第二の絶縁膜構造体は、電界制御電極を前記半導体基板の表面から電気的に分離するためのものであってもよい。

前記第一の絶縁膜と前記第二の絶縁膜とを含む前記層構造は、膜厚方向に組成変調された層からなり、該層の下部領域が前記第一の高誘電率絶縁材料からなる第一の絶縁膜で構成され、該層の上部領域が前記第二の高誘電率絶縁材料からなる第二の絶縁膜で構成され得る。

本発明の第三の態様によれば、複数種類の半導体素子を含んでなる半導体装置であって、

前記複数種類の半導体素子は、

第一のエッティング速度を有する第一の高誘電率絶縁材料からなる第一の絶縁膜を含み、且つ第一の電気的膜厚を有す第一の絶縁膜構造体を有する第一の半導体素子と、

前記第一の絶縁膜と、前記第一のエッティング速度と異なる第二のエッティング速度を有する第二の高誘電率絶縁材料からなる第二の絶縁膜とを含む層構造を含み、且つ第一の電気的膜厚と異なる第二の電気的膜厚を有する第二の絶縁膜構造体を有する第二の半導体素子とを少なくとも含み、

前記第一及び第二の半導体素子は、同一のシリコン基板表面上に形成される半導体装置を提供する。

前記第一及び第二の高誘電率絶縁材料は、互いに異なる構成元素を含む

よう構成し得る。

前記第一及び第二の高誘電率絶縁材料は、互いに同一構成元素を含むがそれらの組成比が異なるよう構成し得る。

前記第一及び第二の高誘電率絶縁材料は、互いに異なる結晶構造を有するよう構成し得る。

前記第一及び第二の絶縁膜の少なくとも一方は、その構成元素の種類及び組成比の少なくともいずれか1つが、その膜厚方向で連続的に変化するよう構成し得る。

前記第一及び第二の高誘電率絶縁材料は、互いに異なる密度を有するよう構成し得る。

前記第一及び第二の絶縁膜は、膜中のダングリング・ボンド密度の膜厚方向でのプロファイルが互いに異なるよう構成し得る。

前記第一及び第二のゲート絶縁膜の少なくとも一方において、前記第一の絶縁膜あるいは前記第二の絶縁膜と該シリコン基板との界面に、シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜の少なくともいずれか1つからなる界面層が存在するよう構成し得る。

前記第二の絶縁膜構造体に含まれる前記第一及び第二の高誘電率絶縁材料は、互いにウェットエッチングに対するエッチング速度が異なり、該エッチング速度がより速い絶縁材料からなる絶縁膜が、該エッチング速度がより遅い絶縁材料からなる絶縁膜の上に延在するよう構成し得る。例えば、前記エッチング速度は、フッ酸溶液に対するエッチング速度であってもよい。

前記第二の絶縁膜構造体に含まれる前記第一及び第二の高誘電率絶縁材料は、互いに気相エッチングに対するエッチング速度が異なり、該エッチング速度がより速い絶縁材料からなる絶縁膜が、該エッチング速度がより遅い絶縁材料からなる絶縁膜の上に延在するよう構成し得る。例えば、前記エッチング速度は、フッ素ラジカルによる気相エッチングに対するエッチング速度であってもよい。

前記第一の絶縁膜と前記第二の絶縁膜とを含む前記層構造は、膜厚方向に組成変調された層からなり、該層の下部領域が前記第一の高誘電率絶縁材料

からなる第一の絶縁膜で構成され、該層の上部領域が前記第二の高誘電率絶縁材料からなる第二の絶縁膜で構成されるよう構成し得る。

本発明の第四の態様によれば、複数種類のトランジスタを含んでなる半導体装置の製造方法であって、

該半導体装置は、

前記複数種類のトランジスタに含まれる、少なくとも二種類のトランジスタは、同一のシリコン基板上に形成されている、電気的膜厚が互いに異なるゲート絶縁膜を有するトランジスタであり、

前記少なくとも二種類のトランジスタとして、

少なくとも第一の高誘電率絶縁材料からなる第一の絶縁膜を、その一部に含んでなる第一のゲート絶縁膜を有する第一のトランジスタと、

少なくとも前記第一の高誘電率絶縁材料からなる第一の絶縁膜と、第二の高誘電率絶縁材料からなる第二の絶縁膜との積層構造を、その一部に含んでなる第二のゲート絶縁膜を有する第二のトランジスタとを含む半導体装置であり、

前記第一及び第二のゲート絶縁膜を形成する工程は、少なくとも、

前記同一シリコン基板上に選択される、前記第一のトランジスタを形成するための第一の形成領域と前記第二のトランジスタを形成するための第二の形成領域とに、前記第一の高誘電率絶縁材料からなる第一の絶縁膜と、該第一の絶縁膜上に延在する前記第二の高誘電率絶縁材料からなる第二の絶縁膜とを含む層構造体を形成する工程と、

少なくとも前記第一の形成領域において、前記第一の絶縁膜を残存させ、前記第二の絶縁膜を選択的に除去する工程とを含む半導体装置の製造方法を提供する。

前記第二の絶縁膜を選択的に除去する工程において、

前記第二の高誘電率絶縁材料に対するエッティング速度と、前記第一の高誘電率絶縁材料に対するエッティング速度との間にエッティング速度差を有する、溶液組成のエッティング溶液を利用したウェット・エッティング法によって、前記第二の絶縁膜を選択的にエッティング除去してもよい。例えば、前記エッティング

溶液は、フッ酸溶液であってもよい。

前記第二の絶縁膜を選択的に除去する工程において、

前記第二の高誘電率絶縁材料に対するエッティング速度と、前記第一の高誘電率絶縁材料に対するエッティング速度との間にエッティング速度差を有する、気相中密度のフッ素ラジカルを利用した気相エッティング法によって、前記第二の絶縁膜を選択的にエッティング除去してもよい。

前記第一及び第二の形成領域に、シリコン酸化膜、シリコン酸窒化膜及びシリコン窒化膜の少なくともいずれか1つを含む下地絶縁膜を更に形成する工程を含み、前記第一の絶縁膜を前記下地絶縁膜上に形成してもよい。

前記第二の絶縁膜を選択的に除去する工程において、

前記第二の高誘電率絶縁材料に対するエッティング速度と、前記第一の高誘電率絶縁材料に対するエッティング速度並びに前記下地絶縁膜に対するエッティング速度との間にエッティング速度差を有する、溶液組成のエッティング溶液を利用したウェット・エッティング法によって、前記第二の絶縁膜を選択的にエッティング除去してもよい。例えば、前記エッティング溶液は、フッ酸溶液であってもよい。

前記第二の絶縁膜を選択的に除去する工程において、

前記第二の高誘電率絶縁材料に対するエッティング速度と、前記第一の高誘電率絶縁材料に対するエッティング速度並びに前記下地絶縁膜に対するエッティング速度との間にエッティング速度差を有する、フッ素ラジカルを利用した気相エッティング法によって、前記第二の絶縁膜を選択的にエッティング除去してもよい。

前記第一の絶縁膜を形成する際の第一の基板温度と、前記第二の絶縁膜を形成する際の第二の基板温度とを互いに異なるよう設定することで、

成膜される前記第一及び第二の高誘電率絶縁材料とは互いに異なる結晶構造を有することが可能である。

前記第二の絶縁膜を形成する工程を実施した後、前記第一及び第二の絶縁膜に対して、熱処理を施す工程を更に含み、

前記熱処理の温度は、前記第一及び第二の高誘電率絶縁材料の少なくと

もいずれか一方の特性を改善する温度に設定してもよい。

前記第一及び第二の絶縁膜を形成する工程は、

前記第一及び第二の形成領域に前記第一の高誘電率絶縁材料からなる前記第一の絶縁膜を形成する工程と、

前記第一の絶縁膜上に、前記第二の高誘電率絶縁材料からなる前記第二の絶縁膜を形成する工程とからなるよう構成し得る。

前記第一及び第二の絶縁膜を形成する工程は、

前記第一及び第二の形成領域に前記第一の高誘電率絶縁材料からなる前記第一の絶縁膜を形成する工程と、

前記第一の絶縁膜上に、金属膜を形成する工程と、

前記第一の絶縁膜と前記金属膜とに対し熱処理を施すことで、前記第一の絶縁膜の構成元素と前記金属膜の構成元素との間で反応が生じ、前記第一の絶縁膜と前記金属膜との積層体が膜厚方向に組成変調され、下部領域が前記第一の高誘電率絶縁材料からなる前記第一の絶縁膜で構成され、上部領域が前記第二の高誘電率絶縁材料からなる前記第二の絶縁膜で構成される組成変調層を形成する工程とからなるよう構成し得る。

本発明の第五の態様によれば、電気的膜厚が互いに異なる第一及び第二の絶縁膜構造体を同一半導体基板上に形成する方法であって、

前記半導体基板上に選択される、第一の選択領域と第二の選択領域とに、第一の高誘電率絶縁材料からなる第一の絶縁膜と、該第一の絶縁膜上に延在する第二の高誘電率絶縁材料からなる第二の絶縁膜とを含む層構造体を形成する工程と、

少なくとも前記第一の選択領域において、前記第一の絶縁膜を残存させ、前記第二の絶縁膜を選択的に除去する工程とを含む方法を提供する。

前記第二の絶縁膜を選択的に除去する工程において、

前記第二の高誘電率絶縁材料に対するエッティング速度と、前記第一の高誘電率絶縁材料に対するエッティング速度との間にエッティング速度差を有する、溶液組成のエッティング溶液を利用したウェット・エッティング法によって、前記第二の絶縁膜を選択的にエッティング除去してもよい。例えば、前記エッティング

溶液は、フッ酸溶液であってもよい。

前記第二の絶縁膜を選択的に除去する工程において、

前記第二の高誘電率絶縁材料に対するエッティング速度と、前記第一の高誘電率絶縁材料に対するエッティング速度との間にエッティング速度差を有する、気相中密度のフッ素ラジカルを利用した気相エッティング法によって、前記第二の絶縁膜を選択的にエッティング除去してもよい。

前記第一及び第二の形成領域に、シリコン酸化膜、シリコン酸窒化膜及びシリコン窒化膜の少なくともいずれか1つを含む下地絶縁膜を更に形成する工程を含み、前記第一の絶縁膜を前記下地絶縁膜上に形成してもよい。

前記第二の絶縁膜を選択的に除去する工程において、

前記第二の高誘電率絶縁材料に対するエッティング速度と、前記第一の高誘電率絶縁材料に対するエッティング速度並びに前記下地絶縁膜に対するエッティング速度との間にエッティング速度差を有する、溶液組成のエッティング溶液を利用したウェット・エッティング法によって、前記第二の絶縁膜を選択的にエッティング除去してもよい。例えば、前記エッティング溶液は、フッ酸溶液であってもよい。

前記第二の絶縁膜を選択的に除去する工程において、

前記第二の高誘電率絶縁材料に対するエッティング速度と、前記第一の高誘電率絶縁材料に対するエッティング速度並びに前記下地絶縁膜に対するエッティング速度との間にエッティング速度差を有する、気相中密度のフッ素ラジカルを利用した気相エッティング法によって、前記第二の絶縁膜を選択的にエッティング除去してもよい。

前記第一の絶縁膜を形成する際の第一の基板温度と、前記第二の絶縁膜を形成する際の第二の基板温度とを互いに異なるよう設定することで、

成膜される前記第一及び第二の高誘電率絶縁材料とは互いに異なる結晶構造を有してもよい。

前記第二の絶縁膜を形成する工程を実施した後、前記第一及び第二の絶縁膜に対して、熱処理を施す工程を更に含み、

前記熱処理の温度は、前記第一及び第二の高誘電率絶縁材料の少なくと

もいずれか一方の特性を改善する温度に設定してもよい。

前記第一及び第二の絶縁膜を形成する工程は、

前記第一及び第二の形成領域に前記第一の高誘電率絶縁材料からなる前記第一の絶縁膜を形成する工程と、

前記第一の絶縁膜上に、前記第二の高誘電率絶縁材料からなる前記第二の絶縁膜を形成する工程とからなるよう構成し得る。

前記第一及び第二の絶縁膜を形成する工程は、

前記第一及び第二の形成領域に前記第一の高誘電率絶縁材料からなる前記第一の絶縁膜を形成する工程と、

前記第一の絶縁膜上に、金属膜を形成する工程と、

前記第一の絶縁膜と前記金属膜とに対し熱処理を施すことで、前記第一の絶縁膜の構成元素と前記金属膜の構成元素との間で反応が生じ、前記第一の絶縁膜と前記金属膜との積層体が膜厚方向に組成変調され、下部領域が前記第一の高誘電率絶縁材料からなる前記第一の絶縁膜で構成され、上部領域が前記第二の高誘電率絶縁材料からなる前記第二の絶縁膜で構成される組成変調層を形成する工程とからなるよう構成し得る。

図面の簡単な説明

図1A乃至図1Cは、本発明の半導体装置の製造工程における、高誘電率絶縁材料からなる絶縁膜を複数を含む積層構造を利用する基本的なマルチオキサイド・プロセスの一連の工程を示す部分縦断面図である。

図2は、高誘電率絶縁材料のエッチング速度の、構成元素や組成ならびに結晶構造における依存性に関する一般的な傾向を模式的に示す図である。

図3は、エッチング速度の異なる、高誘電率絶縁材料薄膜の積層構造に対する、エッチング速度差を利用する選択的エッチング過程におけるエッチング時間に対する残存膜厚の変化を模式的に示す図である。

図4A乃至図4Dは、本発明の半導体装置の製造方法を適用し、 $ZrSiO/ZrO_2/SiO_2$ 積層構造に対する選択的エッチング工程を含むマルチオキサイド・プロセスによって、第一の実施例の半導体装置を作製する一連の工

程を示す部分縦断面図である。

図5A乃至図5Dは、本発明の半導体装置の製造方法を適用し、非晶質ZrO₂／結晶ZrO₂／SiO₂積層構造に対する選択的エッティング工程を含むマルチオキサイド・プロセスによって、第二の実施例の半導体装置を作製する一連の工程を示す部分縦断面図である。

図6A乃至図6Dは、本発明の半導体装置の製造方法を適用し、ZrSiO／SiON積層構造に対する選択的エッティング工程を含むマルチオキサイド・プロセスによって、第三の実施例の半導体装置を作製する一連の工程を示す部分縦断面図である。

図7A乃至図7Eは、本発明の半導体装置の製造方法を適用し、膜厚方向に組成変調を有するZrO₂膜（ZrSiO膜）構造に対する選択的エッティング工程を含むマルチオキサイド・プロセスによって、第五の実施例の半導体装置を作製する一連の工程を示す部分縦断面図である。

図8は、高誘電率絶縁材料を成膜する際、高誘電率絶縁材料膜の深さに対する基板温度の変化に起因する、高誘電率絶縁材料膜の膜密度の典型的な変化ならびに高誘電率絶縁材料膜中のダングリング・ボンド密度の典型的な変化を模式的に示す図である。

発明を実施するための最良の形態

以下に、本発明をより詳細に説明する。

本発明によれば、半導体装置を構成する複数種類のトランジスタであって、電気的膜厚すなわち実効膜厚が互いに異なるゲート絶縁膜を有する複数種類のトランジスタを同一のシリコン基板上に形成する際、一方の電気的膜厚の厚いゲート絶縁膜では、エッティング速度が異なる2種類以上の高誘電率絶縁材料薄膜の積層構造を含む構成を採用し、他方の電気的膜厚の薄いゲート絶縁膜では、前記積層構造中の前記2種類以上の高誘電率絶縁材料薄膜の内、少なくとも一つの高誘電率絶縁材料薄膜を選択的にエッティングして、電気的膜厚を薄くする構成を採用する。このエッティング速度が異なる2種類以上の高誘電率絶縁材料薄膜の積層構造を一旦形成した後、その一部を選択的にエッティングする工程を

利用することによって、高誘電率絶縁材料膜に対応したマルチオキサイド・プロセスを実現する。つまり、ゲート絶縁膜に高誘電率絶縁材料膜を利用することで、従来のシリコン酸化膜を用いる場合と比較して、必要な電気的膜厚は維持しつつ、物理的膜厚を増加させて、リーク電流の低減を図ることが可能となる。

更に積層構造の上層或いは中間層に用いる高誘電率絶縁材と対比して、下層を構成する高誘電率絶縁材料として、エッティング速度が遅い高誘電率絶縁材料を選択することで、積層後に行われるエッティング工程では、下層に対するオーバー・エッティングを回避しつつ、上層あるいは中間層を部分的にかつ選択的にエッティング除去することが可能となり、電気的膜厚の異なる複数種類のゲート絶縁膜構造を高い再現性で作製するものである。

従って、本発明は、マルチオキサイド・プロセスにおいて、高誘電率絶縁材料の採用とプロセスの簡便性を図りつつ、絶縁膜の膜厚バラツキやウエハー汚染の問題を引き起こすことのない半導体装置の構成および製造方法を提供する。

従来、ゲート絶縁膜などの絶縁材料膜として広く用いられているシリコン酸化膜（熱酸化膜）あるいは酸窒化膜は、フッ酸溶液によるウェット・エッティング、あるいはC F 系ガスプラズマ中のフッ素ラジカルを用いた反応性ドライ・エッティングを利用して、エッティング加工されている。特に、ゲート絶縁膜層のエッティングにおいては、加工損傷を極力導入しないことが、ゲート絶縁膜とシリコン基板のチャンネル層との間の良好な界面状態を達成する上で重要である。具体的には、前記の観点では、反応性ドライ・エッティングと比較して、加工損傷を与える懸念のない、フッ酸溶液によるウェット・エッティングが、ゲート絶縁膜層のエッティング方法として、より優れている。

一方、ゲート絶縁膜などの用途に利用可能な高誘電率絶縁材料として、研究開発が進められているZ r O₂ やH f O₂、さらには、これらにシリコンを添加したシリケート材料も、上記シリコン酸化膜（熱酸化膜）あるいは酸窒化膜と同様にフッ酸溶液やフッ素ラジカルを利用する反応性ドライ・エッティングによってエッティングすることが可能である。その際、高誘電率絶縁材料の大きな特徴の一つは、高誘電率絶縁材料を構成する元素や組成比の違いによって、その

エッティング速度が大きく異なる点である。さらに、高誘電率絶縁膜材料は、成膜手法や成膜時の基板温度を適切に設定することで、結晶あるいは非晶質構造を有した薄膜の堆積が可能であり、その際、結晶構造に起因して、エッティング速度に顕著な差異を有するものとすることが可能である。

図2は、高誘電率絶縁材料のエッティング速度の、構成元素や組成ならびに結晶構造における依存性に関する一般的な傾向を模式的に示す。この高誘電率絶縁材料における、結晶構造に起因するエッティング速度の相違、ならびに、組成の違いに付随するエッティング速度差に関しては、例えば、図2に例示する傾向が、ゲート絶縁膜用の候補材料として検討されている高誘電率絶縁材料薄膜に見出される。

例えば、一般的に、高誘電率絶縁材料であって且つ熱的に安定な金属酸化物材料は、エッティング速度が遅い傾向にある。また化学量論的組成と一致した金属酸化物に比べて、シリコンを添加したシリケート材料のエッティング速度は速い傾向にある。さらには、上述したとおり、成膜条件を適宜選択することによって、結晶あるいは非晶質構造を有した薄膜の積層構造を高い自由度で作製することも可能である。その際、非晶質構造の薄膜におけるエッティング速度は、結晶構造を有した薄膜と比較して、飛躍的に増大する。

加えて、フッ酸溶液によるウェット・エッティングやフッ素ラジカルを利用する反応性ドライ・エッティングによるエッティング速度は、被加工材料の構造欠陥の有無にも敏感である。具体的には、同一構成元素で同一組成の高誘電率絶縁材料薄膜であっても、その成膜条件の相違によって、得られる薄膜の密度や膜中の未結合手密度（ダングリング・ボンド密度）が大きく異なることがある。上記のウェット・エッティングや反応性ドライ・エッティングなどの化学反応に基づくエッティング加工法では、エッティング速度は、膜中の構造欠陥、とくにダングリング・ボンド密度に依存する。すなわち、この様な構造欠陥部位を起点としてエッティングが進行するため、ダングリング・ボンド密度が増すとともに、エッティング速度が速くなる。また、密度が低い薄膜では、原子間距離や結合角は最安定状態から歪んだ状態となっており、構造欠陥を起点とするエッティング促進と同様に機構によって、薄膜の密度が低いほど、エッティング速度は速くな

る。

本発明の半導体装置の製造工程に利用される、マルチオキサイド・プロセスの基本的形態に関して、エッティング速度が異なる2種類の高誘電率絶縁材料薄膜を利用する場合を例に採り、以下により詳しく説明する。

図1A乃至図1Cは、本発明の半導体装置の製造工程における、高誘電率絶縁材料からなる絶縁膜を複数を含む積層構造を利用する基本的なマルチオキサイド・プロセスの一連の工程を示す。本発明にかかるマルチオキサイド・プロセスの典型的な一例では、シリコン基板表面に、エッティング速度が異なる2種類の高誘電率絶縁材料薄膜の積層構造を形成する際、エッティング速度が遅い高誘電率絶縁材料膜が下層に、エッティング速度が速い高誘電率絶縁材料膜が上層となるよう、積層構造を成膜する。

図1A乃至図1Cに示す例では、上層103の高誘電率絶縁材料Aは、下層104の高誘電率膜絶縁材料Bに比べて、エッティング速度が速い材料とされている。この積層構造を利用して、第一の領域105には、ゲート絶縁膜の電気的膜厚が薄いトランジスタ素子を、一方、第二の領域106には、ゲート絶縁膜の電気的膜厚が薄いトランジスタ素子を、同時に作製する場合、第二の領域106をレジスト材料によってマスクした後、レジスト・マスク107を用いて、選択的なエッティング工程を実施する。

図3は、エッティング速度の異なる、高誘電率絶縁材料薄膜の積層構造に対する、エッティング速度差を利用する選択的エッティング過程におけるエッティング時間に対する残存膜厚の変化を模式的に示す。図3に模式的に示したように、2種類の高誘電率絶縁材料A、Bの間でエッティング速度が異なるため、上層103の高誘電率絶縁材料Aがエッティングによって除去された後、露呈した下層104の高誘電率膜絶縁材料Bは緩やかにエッティングが進む。従って、エッティング時間を、高誘電率絶縁材料Aの上層103の完全除去に必要な時間より若干長く設定、すなわち、上層103がオーバー・エッティングされるようにエッティング時間を設定することで、上層103の高誘電率絶縁材料Aのみを選択的に剥離（エッティング）することが可能である。

また、同一のシリコン基板上に、電気的膜厚の異なる3種類のゲート絶縁膜

を有するトランジスタ素子の製造工程への適用例を以下に説明する。この場合、3種類の高誘電率絶縁材料薄膜A、B、Cを利用し、そのエッチング速度は、A>B>Cの順で速い高誘電率絶縁材料を選択し、先ず、高誘電率絶縁材料薄膜Cを下層、高誘電率絶縁材料薄膜Bを中間層、高誘電率絶縁材料薄膜Aを上層とするよう積層構造を形成する。第一の領域1に、電気的膜厚の最も薄いゲート絶縁膜層を形成する場合には、第二の領域2ならびに第三の領域3をレジスト・マスクにて保護した後、第一の領域1に対して、選択的なエッチングを施す。その際、第一の領域1に形成するゲート絶縁膜層を下層の高誘電率絶縁材料薄膜Cのみで構成することが可能である。この場合、この第一の領域1に対するエッチング条件として、上層の高誘電率絶縁材料膜Aと中間層の高誘電率絶縁材料膜Bとを選択的にエッチング除去し、下層の高誘電率絶縁材料薄膜Cの表面を露出するのに適した、エッチング速度と時間とを選択する。

次いで、第二の領域2に、電気的膜厚が中間レベルのゲート絶縁膜層を形成する場合には、第一の領域1と第三の領域3の双方、あるいは第三の領域3のみをレジスト・マスクにて保護した後、第二の領域2のみに対して、選択的なエッチングを施す。その際、第二の領域2に形成するゲート絶縁膜層を、下層の高誘電率絶縁材料薄膜Cと中間層の高誘電率絶縁材料薄膜Bとの積層で構成することができる。この場合、このエッチング条件として、上層の高誘電率絶縁材料膜Aのみを選択的にエッチング除去し、中間層の高誘電率絶縁材料薄膜Bの表面を露出するのに適した、エッチング速度と時間とを選択する。

先の第一の領域1に対する選択的エッチング工程では、中間層の高誘電率絶縁材料膜Bまでエッチングを行う必要があるが、この第二の領域2に対する選択的エッチング工程では、エッチング速度が最も速い、上層の高誘電率絶縁材料膜Aのみのエッチングを行うため、先の第一の領域1に対する選択的エッチング工程におけるエッチング条件よりも穏やかな条件、例えば、ウェット・エッチングに用いる薬液濃度を薄くする、あるいは、反応性ドライ・エッチングに用いるラジカル密度を低くするなど、エッチング速度を抑えた条件を採用する。その穏やかなエッチング条件下では、上層の高誘電率絶縁材料膜Aがエッチングによって除去された後、露呈した中間層の高誘電率膜絶縁材料Bに対し

ては、極めて緩やかにエッティングが進む。従って、エッティング時間を上層の高誘電率絶縁材料膜Aの膜厚除去に必要な時間より、若干オーバー・エッティングされる時間に設定することで、上層の高誘電率絶縁材料薄膜A層のみを選択的に剥離（エッティング）することが可能である。また、仮に、第一の領域1にレジスト・マスクによる保護が施されてなくとも、その間に、露呈している下層の高誘電率絶縁材料薄膜Cに対するエッティングの進行は、更に僅かなものでしかもなく、第一の領域1におけるゲート絶縁膜の電気的膜厚減少は、無視できる程度に抑制可能である。

結果として、第三の領域3には、エッティングがなされておらず、高誘電率絶縁材料薄膜Cを下層、高誘電率絶縁材料薄膜Bを中間層、高誘電率絶縁材料薄膜Aを上層とする三層構造が残る。従って、この第三の領域3には、最も電気的膜厚の厚いゲート絶縁膜が結果として形成される。

なお、上述する第一、第二及び第三の領域1、2、3に形成する、3種類のゲート絶縁膜の異なる目標電気的膜厚に応じて、下層の高誘電率絶縁材料薄膜C、中間層の高誘電率絶縁材料薄膜B、上層の高誘電率絶縁材料薄膜Aについて、各高誘電率絶縁材料の誘電率に基づき、それらの膜厚を適宜設計することができる。

具体的には、第一の領域1と第二の領域2における、ゲート絶縁膜の異なる目標電気的膜厚に応じて、下層の高誘電率絶縁材料薄膜C、中間層の高誘電率絶縁材料薄膜Bについて、各高誘電率絶縁材料の誘電率に基づき、それらの膜厚を一義的に決定した後、第三の領域3におけるゲート絶縁膜の目標電気的膜厚を満足するように、上層の高誘電率絶縁材料薄膜Aの誘電率に基づき、その膜厚を一義的に選択することができる。

本発明にかかる半導体装置の製造方法では、マルチオキサイド・プロセスを利用して、同一のシリコン基板上に、トランジスタ素子用の電気的膜厚の異なる複数種のゲート絶縁膜を作製する一連の工程では、一旦シリコン基板上に堆積された積層構造を有する高誘電率絶縁材料薄膜について、各層間の選択的エッティング除去により、その目標電気的膜厚の選択を実施しているため、各素子領域のゲート絶縁膜膜厚の均一性・再現性を従来手法に比べて改善することが

可能となる。

加えて、その各選択的エッティング工程において、除去される高誘電率絶縁材料薄膜のエッティング速度と比較して、その後に露呈する直下層の高誘電率絶縁材料薄膜に対するエッティング速度は有意に遅くなる構成を選択する結果、各層毎の選択的なエッティング工程において、オーバー・エッティング時間を若干付加しても、直下層の高誘電率絶縁材料薄膜に対するエッティングは極僅しか進行しないため、プロセス・マージンを広く設定することができる。

さらには、複数種の高誘電率絶縁材料薄膜をシリコン基板上に順次堆積し多層構造を形成した後、各層毎の選択的なエッティング工程を実施するため、これら複数種のゲート絶縁膜が形成される領域では、シリコン基板表面を覆う絶縁材料薄膜層が完全に剥離（エッティング除去）され、シリコン基板自体の表面が露呈する工程は含まず、従って、素子作製領域のシリコン基板とゲート絶縁膜との界面がエッティングやレジスト剥離工程において、汚染される問題が生じることも回避される。

加えて、先に説明した通り、複数種類の高誘電率絶縁材料膜の積層構造と複数回の選択的なエッティング工程によって、目標とする電気的膜厚が異なる3種類以上のゲート絶縁膜を有するトランジスタを同一シリコン基板上に有する半導体装置の製造も可能となる。そのマルチオキサイド工程では、各工程自体の組み合わせは、簡便性に富み、また、全体工程の単純化に伴い、コスト面でも有利である。

加えて、積層構造を構成する、エッティング速度の異なる連続する二つの薄膜層として、下層とその上層とに、同一の組成を有する高誘電率絶縁材料薄膜の結晶構造と非晶質構造とを選択し、その結晶性の違いに伴う、両者のエッティング速度差を利用する場合、上述のマルチオキサイド・プロセスにおける、各層毎の選択的なエッティング工程を終えた後、所望の温度での後熱処理あるいは結晶化工程を施すことで、非晶質構造の薄膜層の電気特性ならびに各層の界面特性を改善することができる。例えば、非晶質構造の薄膜層に対する結晶化処理が完了した場合には、上層の結晶化処理で得られる結晶構造層と、下層の元々の結晶構造層とは、特性上では、全く遜色の無い高誘電率絶縁材料膜となる。

従って、非晶質構造の薄膜層の有無のみに違いを有する二つの領域では、結晶化処理を終えた後には、互いに膜厚は異なるものの、それら結晶構造の高誘電率絶縁材料薄膜層は、その組成ならびに結晶構造は、実質的に同一なものとなる。

さらに、上述のマルチオキサイド・プロセスが適用可能な半導体装置の構造、すなわち、異種の複数の高誘電率絶縁材料膜に加えて、シリコン酸化膜や酸窒化膜を積層構造に加えた素子の動作を考えると、付加されるシリコン酸化膜や酸窒化膜は、下記するように、その装置全体の低消費電力化ならびに高速動作が要求されるデバイスの高性能化に寄与する。

低消費電力化、取分け、ゲート絶縁膜のリーク電流成分の低減のためには、ゲート絶縁膜を利用する絶縁材料の高誘電率化による物理的膜厚の増加に加えて、ゲート絶縁膜とシリコン基板との界面においては、価電子帯および伝導帯側のバンド・オフセットが十分に大きいことが望ましい。一般に、絶縁材料の誘電率とバンドギャップとは負の相関関係にあり、高誘電率絶縁材料とシリコン基板との界面における、バンド・オフセットは小さいことが知られている。

本発明の半導体装置では、リーク電流低減の観点からは、バンドギャップの比較的広い高誘電率絶縁材料と、誘電率の高い絶縁材料とを組み合わせることで、ゲート絶縁膜とシリコン基板との界面における、バンド・オフセットの低下を回避して、リーク電流をより効果的に抑制するゲート絶縁膜構造の設計が可能となる。

より具体的には、バンドギャップの比較的広い高誘電率絶縁材料として、シリコン酸窒化膜やシリコン窒化膜を利用し、誘電率の高い絶縁材料として、後述する ZrO_2 や HfO_2 等を用い、両者を組み合わせた積層構造の利用も可能である。これに代えて、ゲート絶縁膜とシリコン基板との界面には、シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜のいずれかが界面層として存在させる。この界面層は、シリコン基板との親和性に優れ、かつ大きなバンド・オフセットを与える絶縁材料膜である。この界面層上に、前記高誘電率絶縁材料の層を形成することも可能である。

また、上述の説明においては、高誘電率絶縁材料薄膜のみの積層構造を例に

とり、本発明の実施の形態を説明したが、下地絶縁膜として、ゲート絶縁膜とシリコン基板との界面にシリコン酸化膜や酸窒化膜を配置し、その上に前述の高誘電率絶縁材料薄膜の積層構造を形成する実施の形態も可能である。この際、下地絶縁材料膜として、高誘電率絶縁材料薄膜とシリコン基板との界面へのシリコン酸化膜の挿入は、界面における電気特性の改善の観点から効果的である。また、下地絶縁材料膜として、高誘電率絶縁材料薄膜とシリコン基板との界面への酸窒化膜の挿入は、界面における反応を抑制する効果を発揮する。また同様の理由で、ゲート電極として、ゲート絶縁膜上に設けるポリシリコン電極あるいはポリシリコンゲルマニウム電極（上部電極）と、ゲート絶縁膜構造との接合界面にシリコン酸化膜や酸窒化膜を挿入することも、上部電極からの電流注入効果を抑制する上で効果的である。

加えて、半導体装置全体の回路設計の観点から、高誘電率絶縁材料薄膜とシリコン酸化膜あるいは酸窒化膜の積層構造の組み合わせも、多様な形態が考えられる。例えば、電気的膜厚が薄い領域を高誘電率絶縁材料薄膜で構成することで、リーク電流を低減することが可能となるが、これまで指摘されているように、高誘電率絶縁材料薄膜は、シリコン酸化膜に比べて信頼性の問題や、膜中の固定電荷や界面欠陥に起因したデバイス応用上の課題が全て解決されていいるわけではない。従って、半導体装置を構成している個々の素子に合わせた、絶縁膜の最適な選択が必要となる。例えば、高い電流駆動能力と信頼性が要求される素子については、極薄のシリコン酸化膜や酸窒化膜を用いて、通常の素子設計基準を超えたリーク電流値を容認する一方で、その周辺回路を構成する素子では、高誘電率絶縁材料薄膜を採用することで、半導体装置全体としては、消費電力を大幅に抑制するよう構成することも有効である。

従って、本発明の製造方法における、絶縁材料薄膜のエッティング工程では、異なる高誘電率絶縁材料薄膜又はシリコン酸化膜あるいは酸窒化膜間の選択エッティングを実現するため、物理的効果を極力排除し、化学反応に基づいたウェット・エッティングやラジカル種を利用する反応性ドライ・エッティングを利用するが望ましい。特に、フッ酸溶液によるウェット・エッティングは、シリコン酸化膜あるいは酸窒化膜のみならず、多くの高誘電率絶縁材料薄膜のエッチ

ングに適用可能であり、高誘電率絶縁材料の構成元素や組成、さらには結晶構造に依存して、そのエッチング速度が顕著に変化する。

また、ドライ・エッチング方法では、高エネルギー・イオン照射に伴うスパッタリングの効果を排除した、ラジカル種との化学反応は主なエッチング機構であるエッチング手段、例えば、ラジカル種との反応による反応性ドライ・エッチング法を採用することが効果的である。また、高い制御性で選択エッチングを実現するためには、より早いエッチング速度を示す上層に対するエッチング速度が毎秒数Å程度となるエッチング条件を選択することが好ましい。一方、より遅いエッチング速度を示す下層に対するエッチング速度が前記のエッチング速度の1/10~1/100となるエッチング条件を選択することが好ましい。

本発明を実施するにあたり、利用し得る高誘電率絶縁材料の典型例は、 ZrO_2 、 HfO_2 、 Ta_2O_5 、 Al_2O_3 、 Nb_2O_5 、ならびに、希土類元素の酸化物である Sc_2O_3 、 Y_2O_3 、あるいは、ランタノイド系元素の酸化物である La_2O_3 、 CeO_2 、 Pr_2O_3 、 Nd_2O_3 、 Sm_2O_3 、 Eu_2O_3 、 Gd_2O_3 、 Tb_2O_3 、 Dy_2O_3 、 Ho_2O_3 、 Er_2O_3 、 Tm_2O_3 、 Yb_2O_3 、 Lu_2O_3 、さらには、これら金属酸化物に由来するシリケート材料を含むがこれらに限定されるものではない。また、これらの高誘電率絶縁材料薄膜のエッチング速度を変化させる添加元素には、窒素やフッ素などの軽元素が利用可能である。

また、上述の例では、高誘電率絶縁材料薄膜中の構成元素や組成ならびに結晶構造の相違に起因する、エッチング速度の差異を利用した積層構造について、既に説明したが、高誘電率絶縁材料薄膜中、膜厚方向で、その組成が連続的に変化する構造、すなわち組成変調構造でも、エッチング速度の差異が得られ、同様の選択エッチングの効果が得られる。その際、急峻な組成変化を有する積層構造に比べて、膜厚方向に緩やかな組成変化を有する組成変調構造を有する高誘電率絶縁材料薄膜では、エッチング速度の変化も連続的となる。このため、選択エッチング時のプロセス・マージンが相対的に狭くなる。あるいは、選択エッチング加工後に得られる高誘電率絶縁材料膜の残留膜厚の均一性・再現性が、積層構造に比べて、若干劣る傾向がある。このように、プロセス上、より

高い制御性を必要とする制約はあるものの、高誘電率絶縁材料膜中の組成を連続的に変調することで、膜中ならびに接合界面の電気特性を改善する効果をもたらすことができる。

以下に実施例を挙げて、本発明をより具体的に説明する。なお、これら実施例は、本発明にかかる半導体装置、すなわち、高誘電率絶縁材料薄膜の積層構造を利用して、マルチオキサイド・プロセスによって、同シリコン基板上に作製されている、電気的膜厚の異なる複数種類のゲート絶縁膜を有するトランジスタを含んでなる半導体装置ならびにその製造方法の発明に関する最良の実施形態の一例ではあるものの、本発明はかかる実施例によって、限定されるものではない。

(実施例 1)

図4 A乃至図4 Dは、本発明の半導体装置の製造方法を適用し、 $ZrSiO$ / ZrO_2 / SiO_2 積層構造に対する選択的エッチング工程を含むマルチオキサイド・プロセスによって、第一の実施例の半導体装置を作製する一連の工程を示す。実施例1の半導体装置では、電気的膜厚の異なる複数種類のゲート絶縁膜の作製するため、 ZrO_2 膜404と Zr シリケート($ZrSiO$)膜405とから構成される2種類の高誘電率絶縁材料薄膜の積層構造を利用している。なお、実施例1の半導体装置において、各トランジスタは、LDD構造を形成する上で使用される、ゲート電極409に付随するサイドウォールなど、素子構造の詳細は図中では説明の簡略化の目的で省略されている。

図4 Aは、シリコン基板401表面に作製する二種類のトランジスタの形成のための第一の領域406、第二の領域407として、素子分離酸化膜402により分割される領域を示す。まず、シリコン基板を洗浄後、第一の領域406、第二の領域407の表面に、膜厚0.5 nmの熱酸化膜(シリコン酸化膜)403を形成する。このシリコン酸化膜403は、下地絶縁膜層として、シリコン基板401と後述の ZrO_2 薄膜404との界面熱安定性と電気特性を改善する目的で挿入されている。シリコン酸化膜403表面に、 $ZrCl_4$ と H_2O とを原料として、CVD (Chemical Vapor Deposit

ion) 法によって、結晶構造を有した膜厚 2.5 nm の ZrO_2 薄膜 404 を堆積する。引き続き、前記の CVD 成膜条件に、 Si_2H_6 原料ガスを添加して、膜厚 6 nm の Zr シリケート ($ZrSiO$) 薄膜 405 を堆積して、 $ZrSiO/ZrO_2/SiO_2$ 積層構造を作製する。なお、 ZrO_2 薄膜 404 上に堆積される Zr シリケート薄膜 405 は、非晶質構造を有している。

図 4B は、第一の領域 406 上の Zr シリケート薄膜 405 のみを選択的にエッティング除去する工程に利用するレジスト・マスク 408 を示す。このレジスト・マスク 408 は、第二の領域 407 の表面を保護し、第一の領域 406 上に開口部を有している。このレジスト・マスク 408 を利用して、希釈フッ酸溶液にて Zr シリケート膜 405 のエッティングを実施する。 Zr シリケート膜 405 のエッティング速度は、結晶 ZrO_2 膜 404 のエッティング速度の約 10 倍であり、例えば、エッティング時間を、 Zr シリケート膜に対して、膜厚 1.2 nm のエッティング量が達成される時間、すなわち、200 % のオーバー・エッティング時間を設定した際にも、露呈した ZrO_2 膜 404 に対するエッティング量は、高々 0.06 nm にしか達せず、図 3 に例示するような、理想的な選択エッティングを実現できる。

図 4C は、前記の第一の領域 406 に対する選択的エッティング工程を終了した後、レジスト・マスク 408 を剥離除去した状態を示す。このレジスト剥離後、非晶質構造の Zr シリケート膜 405 に対して、その膜質改善のために、窒素雰囲気中 700 °C にて後熱処理を実施する。結果的に、第一の領域 406 には、 ZrO_2/SiO_2 積層構造のゲート絶縁膜が、一方、第二の領域 407 には、膜質改善された $ZrSiO/ZrO_2/SiO_2$ 積層構造のゲート酸化膜が形成される。

図 4D は、その後、従来工程に従って作製される、ポリシリコンゲート電極 409、ならびに付随するサイドウォールを利用して、イオン打ち込みにより、ソースとドレインの形成を行って、トランジスタを作製した状態を示す。また、ポリシリコンゲート電極 409 上には、かかるプロセスに用いるシリサイド層 410 が残されている。

本実施例 1 において作製される半導体装置において、第一の領域 406 に作

製されるトランジスタのゲート絶縁膜は、 ZrO_2/SiO_2 積層構造の薄い電気的膜厚であり、第二の領域 407 に作製されるトランジスタのゲート絶縁膜は、膜質改善された $ZrSiO/ZrO_2/SiO_2$ 積層構造の比較的厚い電気的膜厚である。それぞれのゲート絶縁膜について、シリコン酸化膜に換算した電気的な膜厚、すなわち、酸化膜換算膜厚とリーク電流値を実測した結果、第一の領域 406 の薄層領域では、酸化膜換算膜厚が 1.0 nm、リーク電流が $2A/cm^2$ (1V印加時) であり、第二の領域 407 の厚膜領域では、酸化膜換算膜厚が 3.0 nm、リーク電流が $10-10A/cm^2$ 未満 (1V印加時) であった。これらと同等の酸化膜換算膜厚を有する、従来のシリコン酸化膜を用いた場合に比べて、3~4 倍以上のリーク電流低減効果が実現できた。

また、同一シリコン基板内に作製されている、各領域内の素子について、デバイス特性からそれぞれのゲート絶縁膜の膜厚バラツキを評価した結果、従来のマルチオキサイド・プロセスで形成した場合に比べて、絶縁膜の膜厚バラツキを半分以下に低減することができた。

さらには、上記の製造工程では、積層構造を作製した後、シリコン基板表面が露出する工程が無いため、ゲート絶縁膜層とシリコン基板界面の汚染に伴う界面欠陥の発生（界面固定電荷）、ならびに界面欠陥の前駆体の発生を抑制することができており、作製された素子を長時間使用する際の信頼性を改善することができた。

(実施例 2)

図 5A 乃至 図 5D は、本発明の半導体装置の製造方法を適用し、非晶質 ZrO_2 / 結晶 ZrO_2/SiO_2 積層構造に対する選択的エッティング工程を含むマルチオキサイド・プロセスによって、第二の実施例の半導体装置を作製する一連の工程を示す部分縦断面図である。実施例 2 の半導体装置では、電気的膜厚の異なる複数種類のゲート絶縁膜の作製するため、結晶 ZrO_2 膜 504 と非晶質 ZrO_2 膜 505 とから構成される 2 種類の高誘電率絶縁材料薄膜の積層構造を利用している。なお、実施例 2 の半導体装置においても、各トランジスタは、LDD 構造を形成する上で使用される、ゲート電極 510 に付随するサイ

ドウォールなど、素子構造の詳細は図中では説明の簡略化の目的で省略されている。

図5Aは、シリコン基板501表面に作製する二種類のトランジスタの形成のための第一の領域506、第二の領域507として、素子分離酸化膜502により分割される領域を示す。まず、シリコン基板を洗浄後、第一の領域506、第二の領域507の表面に、膜厚0.5nmの熱酸化膜（シリコン酸化膜）503を形成する。このシリコン酸化膜503は、下地絶縁膜層として、シリコン基板501と後述のZrO₂薄膜504との界面熱安定性と電気特性を改善する目的で挿入されている。シリコン酸化膜503表面に、ZrCl₄とH₂Oとを原料として、CVD法によって、結晶構造を有した膜厚2.5nmのZrO₂薄膜504を堆積する。引き続き、前記のCVD成膜ZrO₂膜504上に、ZrO₂ターゲットを用いたスパッタリング法によって、膜厚12.0nmのZrO₂膜505を成膜する。なお、このスパッタ成膜工程において、基板温度を室温として実施する場合、成膜される膜の組成は、化学量論的なZrO₂組成を有するものの、膜構造は、非晶質あるいは数nmスケールの微結晶からなる。

図5Bは、第一の領域506上のスパッタ成膜の非晶質ZrO₂膜505のみを選択的にエッチング除去する工程に利用するレジスト・マスク508を示す。レジスト・マスク508は、第二の領域507の表面を保護し、第一の領域506上に開口部を有している。このレジスト・マスク508を利用して、希釈フッ酸溶液にて非晶質ZrO₂膜505のエッチングを実施する。非晶質ZrO₂膜505のエッチング速度は、結晶ZrO₂膜504のエッチング速度の10～100倍であり、例えば、エッチング時間を、非晶質ZrO₂膜に対して、膜厚12nmのエッチング量が達成される時間を満たし、オーバー・エッチング時間が不必要に長くならないように制御することで、露呈した結晶ZrO₂膜504に対するエッチング量は、無視できる量に抑えることができ、良好な選択的エッチングが可能である。

図5Cは、前記の第一の領域506に対する選択的エッチング工程を終了した後、レジスト・マスク508を剥離除去した状態を示す。このレジスト剥離

後、非晶質 ZrO_2 膜505に対して、その膜質改善のために、窒素雰囲気中700°Cにて後熱処理を実施する。この熱処理によって、第二の領域507では、残された非晶質 ZrO_2 層の結晶化が進行する。その結果、第二の領域507では、結晶化された $ZrO_2/ZrO_2/SiO_2$ 積層構造のゲート酸化膜が形成され、最終的に、結晶化された ZrO_2 膜とCVD成膜の結晶 ZrO_2 膜504とは、実質的に結晶構造に差異がなくなり、単層状の厚膜の ZrO_2 膜509を構成する。

図5Dは、その後、従来工程に従って作製される、ポリシリコンゲート電極510、ならびに付随するサイドウォールを利用して、イオン打ち込みにより、ソースとドレインの形成を行って、トランジスタを作製した状態を示す。また、ポリシリコンゲート電極510上には、かかるプロセスに用いるシリサイド層511が残されている。

本実施例2において作製される半導体装置において、第一の領域506に作製されるトランジスタでは、ゲート絶縁膜は、 ZrO_2/SiO_2 積層構造の薄い電気的膜厚であり、第二の領域507に作製されるトランジスタでは、ゲート絶縁膜は、単層状の ZrO_2/SiO_2 積層構造の比較的厚い電気的膜厚とされている。それぞれのゲート絶縁膜について、シリコン酸化膜に換算した電気的な膜厚（酸化膜換算膜厚）とリーク電流値を実測した結果、第一の領域506の薄層領域では、酸化膜換算膜厚が1.0 nm、リーク電流が $2A/cm^2$ （1V印加時）であり、第二の領域507の厚膜領域では、酸化膜換算膜厚が3.4 nm、リーク電流が $10\cdot11A/cm^2$ 未満（1V印加時）となっている。

また、同一シリコン基板内に作製されている、各領域内の素子について、デバイス特性からそれぞれのゲート絶縁膜の膜厚バラツキを評価した結果、上述する実施例1と同様に、従来のマルチオキサイド・プロセスで形成した場合に比べて、絶縁膜の膜厚バラツキを抑えることができている。

さらには、上記の製造工程でも、積層構造を作製した後、シリコン基板表面が露出する工程が無く、ゲート絶縁膜における、界面ラフネス、膜中およびシリコン基板との界面欠陥に起因する電気特性の劣化を抑え、作製された素子の信頼性を改善することができている。特に、本実施例2でも、第二の領域50

7において、ゲート絶縁膜中の非晶質部分の結晶化が進んで、 ZrO_2 単層となるため、異種材料からなる高誘電率絶縁材料薄膜の積層構造を採用した場合に比べて、界面電気的欠陥の総量を低減することが可能である。

(実施例 3)

図 6 A 乃至 図 6 D は、本発明の半導体装置の製造方法を適用し、 $ZrSiO$ / $SiON$ 積層構造に対する選択的エッチング工程を含むマルチオキサイド・プロセスによって、第三の実施例の半導体装置を作製する一連の工程を示す部分縦断面図である。実施例 3 の半導体装置では、電気的膜厚の異なる複数種類のゲート絶縁膜の作製するため、 $SiON$ 膜（シリコン酸窒素化膜）604 と $ZrSiO$ 膜（ Zr シリケート膜）605 とから構成される 2 種類の高誘電率絶縁材料薄膜の積層構造を利用している。なお、実施例 3 の半導体装置においても、各トランジスタは、LDD 構造を形成する上で使用される、ゲート電極 608 に付随するサイドウォールなど、素子構造の詳細は図中では説明の簡略化の目的で省略されている。

図 6 A は、シリコン基板 601 表面に作製する二種類のトランジスタの形成するための第一の領域 605、第二の領域 606 として、素子分離酸化膜 602 により分割される領域を示す。まず、シリコン基板を洗浄後、第一の領域 605、第二の領域 606 の表面に、膜厚 1.5 nm の熱酸化膜（シリコン酸化膜）を形成する。このシリコン酸化膜表面を、窒素ガス・プラズマで生成したラジカル窒素原子に曝すことによって窒化処理を施す。多くの場合、シリコン酸化膜の窒化処理によって形成されるラジカル酸窒膜では、ラジカル照射時の窒化反応が進み、高誘電率化が進行すると同時に、その窒化部分で物理膜厚は増加するものの、本実施例 3 では、プラズマ条件と窒化条件を最適化する（窒素圧： 5×10^{-4} Torr、RF 出力：50 W）ことで、酸化膜換算膜厚を 1.5 nm に維持したままで、シリコン酸窒化膜（ $SiON$ ）603 に変換し、シリコン酸化膜に比べて、リーク電流値を約 1.5 衍低減することができる。その後、シリコン酸窒化膜 603 上に、実施例 1 に記載する手法に準じて、CVD 法によって膜厚 10.0 nm の $ZrSiO$ 膜 604 を成膜して、 $ZrSiO/Si$

ON積層構造を作製する。

図6Bは、第一の領域605上のCVD成膜のZrSiO膜604のみを選択的にエッチング除去する工程に利用するレジスト・マスク607を示す。レジスト・マスク607は、第二の領域606の表面を保護し、第一の領域605上に開口部を有している。このレジスト・マスク607を利用して、希釈フッ酸溶液にてZrSiO膜604のエッチングを実施する。ZrSiO膜604のエッチング速度は、SiON膜603のエッチング速度の約100倍であり、例えば、エッチング時間を、ZrSiO膜に対して、膜厚10nmのエッチング量が達成される時間を満たし、オーバー・エッチング時間が不要に長くならないように制御することで、露呈したSiON膜603に対するエッチング量は、無視できる量に抑えることができ、良好な選択的エッチングが可能である。

図6Cは、前記の第一の領域605に対する選択的エッチング工程を終了した後、レジスト・マスク607を剥離除去した状態を示す。このレジスト剥離後、非晶質のZrSiO膜604に対して、その膜質改善のために、窒素雰囲気中700°Cにて後熱処理を実施する。この熱処理によって、第二の領域606では、膜質改善されたZrSiO/SiON積層構造のゲート酸化膜が形成される。

図6Dは、その後、従来工程に従って作製される、ポリシリコンゲート電極608、ならびに付随するサイドウォールを利用して、イオン打ち込みにより、ソースとドレインの形成を行って、トランジスタを作製した状態を示す。また、ポリシリコンゲート電極608上には、かかるプロセスに用いるシリサイド層609が残されている。

本実施例3において作製される半導体装置において、各々のゲート絶縁膜の電気特性を評価したところ、第一の領域605に作製されるトランジスタでは、ゲート絶縁膜はSiON膜のみとなり、選択エッチング工程による膜厚減少は無視できる量であり、上述の電気特性、すなわち酸化膜換算膜厚1.5nmを維持している。一方、第二の領域606に作製されるトランジスタでは、ゲート絶縁膜は、膜質改善されたZrSiO/SiON積層構造であり、シリコン

酸化膜に換算した電気的な膜厚すなわち酸化膜換算膜厚とリーク電流値を実測した結果、第二の領域 606 の厚膜領域では、酸化膜換算膜厚が 4.0 nm、リーク電流が 10^{-11} A/cm^2 未満 (1 V 印加時) となっている。

本実施例 3 の半導体装置の構造では、第一の領域 605 に作製した電流駆動能力を向上した素子の消費電力は、実施例 1 や実施例 2 における第一の領域の素子と比べて高くなるが、ゲート絶縁膜に SiON 膜を採用していることで、多くの高誘電率絶縁膜で問題となっている膜中の固定電荷や界面欠陥の発生を抑制できる。さらには、実施例 1 や実施例 2 の $\text{ZrO}_2/\text{SiO}_2$ 積層構造のゲート絶縁膜を利用する構造に比べて更に信頼性が向上する。

(実施例 4)

本発明の第四の実施例として、図 4A 乃至図 4D に示す上記実施例 1 に記載する $\text{ZrSiO}/\text{ZrO}_2$ 積層構造に代えて、 $\text{ZrAlO}_2/\text{ZrO}_2$ 積層構造を採用して、実施例 1 に記載する工程に準じて、半導体装置を作製する。

シリコン基板表面において、作製する二種類のトランジスタの形成のための第一の領域、及び第二の領域は、素子分離酸化膜により相互の分割がなされている。この第一の領域及び第二の領域に対して、シリコン基板を洗浄後、スパッタリング法によって、膜厚 4 nm の ZrO_2 膜を成膜する。引き続き、 ZrO_2 膜上に、 ZrAlO_2 ターゲットを用いたスパッタリング法によって、Al を添加した ZrO_2 膜 (ZrAlO_2) を成膜して、 $\text{ZrAlO}_2/\text{ZrO}_2$ 積層構造を作製する。スパッタリング法によって、作製される ZrO_2 膜と Al を添加した ZrO_2 (ZrAlO_2) 膜は、ともに非晶質構造であるが、Al の添加は ZrO_2 薄膜の結晶化抑制に効果的であり、かかる積層構造を窒素中 600 °C で熱処理すること、下層の ZrO_2 膜のみに選択的に結晶化を促進する。

非晶質構造を保った ZrAlO_2 膜に対する希釈フッ酸溶液によるエッチング速度は、結晶化された ZrO_2 膜に対するエッチング速度の約 10 倍であり、上述する実施例 1 と同様に、レジスト・マスクを利用し、第一の領域の ZrAlO_2 膜のみを選択的にエッチング除去する。次いで、レジスト・マスクを剥離して、第一の領域では、結晶 ZrO_2 膜からなるゲート絶縁膜が、第二の領域で

は、 $ZrAlO_2/ZrO_2$ 積層構造からなるゲート絶縁膜がそれぞれ形成される。

以降の工程では、実施例 1 に記載する工程に準じて、ゲート電極、ソース／ドレイン領域の形成を行って、トランジスタを作製する。本実施例 4 の第一の領域及び第二の領域における、膜厚の異なるこれらの高誘電率絶縁材料膜で構成されるゲート絶縁膜についても、上記の実施例 1 と同様に、同一基板内のゲート絶縁膜の膜厚均一性、ならびにその電気特性の改善がなされる。

(実施例 5)

図 7 A 乃至図 7 E は、本発明の半導体装置の製造方法を適用し、膜厚方向に組成変調を有する ZrO_2 膜 ($ZrSiO$ 膜) 構造に対する選択的エッチング工程を含むマルチオキサイド・プロセスによって、第五の実施例の半導体装置を作製する一連の工程を示す。実施例 5 の半導体装置では、電気的膜厚の異なる複数種類のゲート絶縁膜の作製するため、下地の熱酸化膜 (シリコン酸化膜) 704 上に蒸着した金属 Zr 膜 704 を酸素雰囲気下熱処理して作製した、膜厚方向に組成変調がなされている ZrO_2 ($ZrSiO$) 膜 707 で構成される積層構造を利用している。なお、実施例 5 の半導体装置においても、各トランジスタは、LDD 構造を形成する上で使用される、ゲート電極 710 に付随するサイドウォールなど、素子構造の詳細は図中では説明の簡略化の目的で省略されている。

図 7 A は、シリコン基板 701 表面に作製する二種類のトランジスタの形成のための第一の領域 705、第二の領域 706 として、素子分離酸化膜 702 により分割される領域を示す。まず、シリコン基板を洗浄後、第一の領域 705、第二の領域 706 の表面に、膜厚 1.0 nm の熱酸化膜 (シリコン酸化膜) 703 を形成する。このシリコン酸化膜 703 表面上に、真空蒸着法によって、基板温度を室温として膜厚 3 nm の金属 Zr 膜 704 を堆積する。

図 7 B は、前記の酸化雰囲気下の熱処理で形成される ZrO_2 ($ZrSiO$) / SiO_2 の積層構造と、かかる積層構造中の金属元素 Zr の含有率変化 (組成変調) を模式的に示す。前記金属 Zr 膜 704 の堆積後、1 Torr の減圧酸

素雰囲気中、600℃で後熱処理を施すことで、金属Zr膜の酸化処理によつて、前記金属Zr膜704は、膜厚方向に組成変調がなされているZrO₂(ZrSiO)膜707に変換される。具体的には、シリコン基板701との界面では酸化反応が進行して、SiO₂膜の増膜がなされると同時に、シリコン酸化膜703の上面、ZrO₂/SiO₂界面においては、生成するZrO₂のシリケート化が起きる。結果的には、ZrO₂(ZrSiO)/SiO₂の積層構造が形成される。この金属Zr膜の熱的な酸化処理により生成するZrO₂膜は非晶質であり、希釈フッ酸溶液による、このZrO₂膜のエッティング速度は、シリコン基板との界面に生成されるSiO₂膜のエッティング速度に比べて、約100倍である。加えて、膜厚方向に組成変調がなされているZrO₂(ZrSiO)膜707では、表面のZrO₂から下層のSiO₂膜との界面近傍のシリケート(ZrSiO)へと連続的に組成変化が進むとともに、エッティング速度も連続的に低下している。

図7Cは、第一の領域705上のZrO₂(ZrSiO)膜707のみに選択的にエッティング除去する工程を施す際に利用するレジスト・マスク708を示す。レジスト・マスク708は、第二の領域706の表面を保護し、第一の領域705上に開口部を有している。このレジスト・マスク708を利用して、希釈フッ酸溶液にて組成変調ZrO₂(ZrSiO)膜707のエッティングを実施する。この膜厚方向に組成変調がなされているZrO₂(ZrSiO)膜707では、表面のZrO₂から下層のSiO₂膜との界面近傍のシリケート(ZrSiO)へと連続的に組成変化が進むとともに、エッティング速度も連続的に低下しているものの、エッティング時間を、目標とするZrO₂(ZrSiO)膜の除去に必要なエッティング量が達成される時間を満たし、オーバー・エッティング時間が不要に長くならないように制御することで、露呈したSiO₂膜、具体的には、表面に微量のZrを含んだSiO₂層領域を有するSiO₂膜709に対するエッティング量は、無視できる量に抑えることができ、良好な選択的エッティングが可能である。

図7Dは、前記の第一の領域705に対する選択的エッティング工程を終了した後、レジスト・マスク708を剥離除去した状態を示す。その際、第一の領

域705では、組成が連続的に変化するZrを含んだSiO₂(ZrSiO) / SiO₂膜709からなるゲート絶縁膜が、第二の領域706では、膜厚方向に組成変調がなされているZrO₂(ZrSiO) / SiO₂の積層構造からなるゲート絶縁膜がそれぞれ形成されている。すなわち、第一の領域705のゲート絶縁膜ですら、シリコン基板との界面では、SiO₂組成であるものの、その上に存在する絶縁膜は、Zrの含有によって、高誘電率絶縁材料として利用できるものとなる。

図7Eは、その後、従来工程に従って作製される、ポリシリコンゲート電極710、ならびに付随するサイドウォールを利用して、イオン打ち込みにより、ソースとドレインの形成を行って、トランジスタを作製した状態を示す。また、ポリシリコンゲート電極710上には、かかるプロセスに用いるシリサイド層711が残されている。

本実施例5の第一及び第二の領域における、膜厚の異なるこれらの高誘電率絶縁材料膜で構成されるゲート絶縁膜についても、シリコン基板界面に近づくに従ってZr組成が低くなり界面付近ではSiO₂組成となっており、上記の実施例1と同様に、同一基板内でのゲート絶縁膜の膜厚均一性、ならびにその電気特性の改善がなされる。

(変更例)

上記の実施例では、高誘電率絶縁材料として、ZrO₂やZrSiO薄膜を利用する例を示しているが、図2に示した膜性状の違いに付随するエッティング速度の差異に関する傾向は、ゲート絶縁膜の候補材料となる、多くの高誘電率絶縁材料についても当てはまる。従って、各高誘電率絶縁材料薄膜の熱安定性やフッ酸溶液に対するエッティング特性に構成する金属元素ごとの違いはあるものの、結晶構造や組成（異種元素の添加を含む）の差異に起因するエッティング速度差を利用する選択的エッティング工程を採用するマルチオキサイド・プロセスとすることが可能である。

また、エッティング方法については、加工損傷の観点からウェット・エッティング法の利用が好ましいが、ドライ・エッティング法を採用することも可能である。

ドライ・エッチング法を利用する際、加速したイオン照射による物理的なスパッタリング機構に基づいたエッチング法では、上述の結晶構造や組成（異種元素の添加を含む）の差異に起因するエッチング速度差は顕著でなく、選択的エッチングを期待できない。従って、かかるスパッタリング機構に寄与する、高エネルギーイオン成分を排除した条件でのドライ・エッチング法を利用するところが好ましい。具体的には、スパッタリング機構ではなく、高周波放電によってCF系ガスプラズマから取り出したフッ素ラジカルとの反応を用いた、反応性ドライ・エッチング法を利用するすることが有効である。

一方、上述の第二の実施例では、成膜法と基板温度の制御によって、結晶構造（非晶質／結晶）の異なる高誘電率絶縁材料膜の積層構造を形成しているが、同じ非晶質材料でも、その成膜時の基板温度を変化させることで、膜密度や膜中のダングリング密度の異なる非晶質材料とすることもでき、それら薄膜の積層構造を形成することも可能である。

例えば、図8に、スパッタ法で堆積されるZrO₂薄膜について、そのスパッタ堆積時の基板温度と、膜密度ならびにダングリング・ボンド密度の関係を模式的に示す。スパッタ堆積時の基板温度が低くなるとともに、次第に、得られる堆積膜試料の膜密度は低く、ダングリング・ボンド密度は高くなる。これら膜密度ならびにダングリング・ボンド密度に差異がある非晶質ZrO₂膜に関して、フッ酸溶液に対するエッチング速度を調べると、膜密度が低く、対応して、ダングリング・ボンド密度が高くなるとともに、エッチング速度は速くなる。すなわち、スパッタ堆積時の基板温度が低い、非晶質ZrO₂膜の方が、フッ酸溶液によるエッチング速度は速い。このエッチング速度差を利用して、スパッタ法で非晶質ZrO₂を成膜する際、高温で堆積したZrO₂膜上に、成膜温度を低くした条件で堆積したZrO₂膜を積層する構造とすることで、上記の実施例2と同様な選択的エッチング工程を利用してマルチオキサイド・プロセスを実現することも可能である。

産業上の利用の可能性

本発明の半導体装置は、電気的な膜厚の異なるゲート絶縁膜を有する複数種

類のトランジスタを利用する半導体装置において、この半導体装置に含まれる少なくとも二種類のトランジスタは、同一のシリコン基板上に形成され、電気的膜厚が互いに異なるゲート絶縁膜を有するトランジスタとする際、一方のトランジスタでは、ゲート絶縁膜中に少なくとも第一の高誘電率絶縁材料からなる第一の絶縁膜を含むものとし、他のトランジスタでは、ゲート絶縁膜中に第一の高誘電率絶縁材料からなる第一の絶縁膜に加えて、さらに、第二の高誘電率絶縁材料からなる第二の絶縁膜を含む積層構造と有するものとすると、両者のゲート絶縁膜は、利用する第一の高誘電率絶縁材料と第二の高誘電率絶縁材料の誘電率と、その膜厚を適宜選択することで、目標とする電気的膜厚が互いに異なるものとできる。

さらに、本発明の半導体装置の製造方法は、かかる素子構成を採用することに伴い、両者のゲート絶縁膜で共通している第一の高誘電率絶縁材料からなる第一の絶縁膜を形成した後、ゲート絶縁膜下のシリコン基板表面を露出することなく、以降のプロセスを実施でき、マルチオキサイド・プロセスにおけるウエハー汚染の抑制に効果を有する。例えば、そのマルチオキサイド・プロセスにおいて利用する、高誘電率絶縁材料からなる絶縁膜複数を含む積層構造を、構成元素や組成、あるいは結晶構造が異なる複数種の高誘電率絶縁材料の薄膜を積層したものとし、エッティング速度差を利用して、各高誘電率絶縁材料の薄膜を選択的にエッティング除去する工程とでき、工程の簡便化がなされ、再現性に優れたマルチオキサイド・プロセスを達成できる。この本発明の半導体装置の製造方法は、ゲート絶縁膜下のシリコン基板表面の汚染を回避することで、ゲート絶縁膜の電気特性劣化を防止し、同時に、選択的にエッティング工程における不要なオーバー・エッティング量の抑制に有効であり、ゲート絶縁膜の膜厚は、基板面内均一性に優れたものとなる。

加えて、積層構造とする複数種の高誘電率絶縁材料薄膜の組み合わせについて、各高誘電率絶縁材料の有するバンドギャップと誘電率を参照して、シリコンと間でのバンド・オフセットを大きくなる絶縁材料を、ゲート絶縁膜下のシリコン基板との界面に配する組み合わせとすることで、リーク電流低減に寄与するゲート絶縁膜構成の最適化が可能となる。

請求の範囲

1. 複数種類のトランジスタを含んでなる半導体装置であつて、
前記複数種類のトランジスタは、
第一の高誘電率絶縁材料からなる第一の絶縁膜を含み、且つ第一の電気的膜厚を有する第一のゲート絶縁膜を有する第一のトランジスタと、
前記第一の絶縁膜と、前記第一の高誘電率絶縁材料と異なる第二の高誘電率絶縁材料からなる第二の絶縁膜とを含む層構造を含み、且つ第一の電気的膜厚と異なる第二の電気的膜厚を有する第二のゲート絶縁膜を有する第二のトランジスタとを少なくとも含み、
前記第一及び第二のトランジスタは、同一のシリコン基板上に形成される半導体装置。
2. 前記第一及び第二の高誘電率絶縁材料は、互いに異なる構成元素を含む請求項1記載の半導体装置。
3. 前記第一及び第二の高誘電率絶縁材料は、互いに同一構成元素を含むがそれらの組成比が異なる請求項1記載の半導体装置。
4. 前記第一及び第二の高誘電率絶縁材料は、互いに異なる結晶構造を有する請求項1記載の半導体装置。
5. 前記第一及び第二の絶縁膜の少なくとも一方は、その構成元素の種類及び組成比の少なくともいずれか1つが、その膜厚方向で連続的に変化している請求項1記載の半導体装置。
6. 前記第一及び第二の高誘電率絶縁材料は、互いに異なる密度を有する請求項1記載の半導体装置。

7. 前記第一及び第二の絶縁膜は、膜中のダングリング・ボンド密度の膜厚方向でのプロファイルが互いに異なる請求項1記載の半導体装置。

8. 前記第一及び第二のゲート絶縁膜の少なくとも一方において、前記第一の絶縁膜あるいは前記第二の絶縁膜と該シリコン基板との界面に、シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜の少なくともいずれか1つからなる界面層が存在する請求項1記載の半導体装置。

9. 前記第二のゲート絶縁膜に含まれる前記第一及び第二の高誘電率絶縁材料は、互いにウエットエッチングに対するエッチング速度が異なり、該エッチング速度がより速い絶縁材料からなる絶縁膜が、該エッチング速度がより遅い絶縁材料からなる絶縁膜の上に延在する請求項1記載の半導体装置。

10. 前記エッチング速度は、フッ酸溶液に対するエッチング速度である請求項9記載の半導体装置。

11. 前記第二のゲート絶縁膜に含まれる前記第一及び第二の高誘電率絶縁材料は、互いに気相エッチングに対するエッチング速度が異なり、該エッチング速度がより速い絶縁材料からなる絶縁膜が、該エッチング速度がより遅い絶縁材料からなる絶縁膜の上に延在する請求項1記載の半導体装置。

12. 前記エッチング速度は、フッ素ラジカルによる気相エッチングに対するエッチング速度である請求項11記載の半導体装置。

13. 前記第一の絶縁膜と前記第二の絶縁膜とを含む前記層構造は、膜厚方向に組成変調された層からなり、該層の下部領域が前記第一の高誘電率絶縁材料からなる第一の絶縁膜で構成され、該層の上部領域が前記第二の高誘電率絶縁材料からなる第二の絶縁膜で構成される請求項1記載の半導体装置。

1 4. 第一の高誘電率絶縁材料からなる第一の絶縁膜を含み、且つ第一の電気的膜厚を有する第一の絶縁膜構造体と、

前記第一の絶縁膜と、前記第一の高誘電率絶縁材料と異なる第二の高誘電率絶縁材料からなる第二の絶縁膜とを含む層構造を含み、且つ第一の電気的膜厚と異なる第二の電気的膜厚を有する第二の絶縁膜構造体とを少なくとも含み、

前記第一及び第二の絶縁膜構造体は、同一の半導体基板上に形成される半導体装置。

1 5. 前記第一及び第二の高誘電率絶縁材料は、互いに異なる構成元素を含む請求項 1 4 記載の半導体装置。

1 6. 前記第一及び第二の高誘電率絶縁材料は、互いに同一構成元素を含むがそれらの組成比が異なる請求項 1 4 記載の半導体装置。

1 7. 前記第一及び第二の高誘電率絶縁材料は、互いに異なる結晶構造を有する請求項 1 4 記載の半導体装置。

1 8. 前記第一及び第二の絶縁膜の少なくとも一方は、その構成元素の種類及び組成比の少なくともいずれか 1 つが、その膜厚方向で連続的に変化している請求項 1 4 記載の半導体装置。

1 9. 前記第一及び第二の高誘電率絶縁材料は、互いに異なる密度を有する請求項 1 4 記載の半導体装置。

2 0. 前記第一及び第二の絶縁膜は、膜中のダングリング・ボンド密度の膜厚方向でのプロファイルが互いに異なる請求項 1 4 記載の半導体装置。

2 1. 前記半導体基板はシリコン基板からなり、前記第一及び第二のゲート

絶縁膜の少なくとも一方において、前記第一の絶縁膜あるいは前記第二の絶縁膜と該シリコン基板との界面に、シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜の少なくともいずれか1つからなる界面層が存在する請求項14記載の半導体装置。

22. 前記第二の絶縁膜構造体に含まれる前記第一及び第二の高誘電率絶縁材料は、互いにウエットエッティングに対するエッティング速度が異なり、該エッティング速度がより速い絶縁材料からなる絶縁膜が、該エッティング速度がより遅い絶縁材料からなる絶縁膜の上に延在する請求項14記載の半導体装置。

23. 前記エッティング速度は、フッ酸溶液に対するエッティング速度である請求項22記載の半導体装置。

24. 前記第二の絶縁膜構造体に含まれる前記第一及び第二の高誘電率絶縁材料は、互いに気相エッティングに対するエッティング速度が異なり、該エッティング速度がより速い絶縁材料からなる絶縁膜が、該エッティング速度がより遅い絶縁材料からなる絶縁膜の上に延在する請求項14記載の半導体装置。

25. 前記エッティング速度は、フッ素ラジカルによる気相エッティングに対するエッティング速度である請求項24記載の半導体装置。

26. 前記第一及び第二の絶縁膜構造体は、前記同一半導体基板上に形成された互いに異なる種類の第一及び第二の半導体素子に含まれるものであり、且つ前記半導体基板の表面に接する請求項14記載の半導体装置。

27. 前記第一及び第二の半導体素子は電界効果型トランジスタであり、第一及び第二の絶縁膜構造体は、電界制御電極を前記半導体基板の表面から電気的に分離するためのものである請求項26記載の半導体装置。

28. 前記第一の絶縁膜と前記第二の絶縁膜とを含む前記層構造は、膜厚方向に組成変調された層からなり、該層の下部領域が前記第一の高誘電率絶縁材料からなる第一の絶縁膜で構成され、該層の上部領域が前記第二の高誘電率絶縁材料からなる第二の絶縁膜で構成される請求項14記載の半導体装置。

29. 複数種類の半導体素子を含んでなる半導体装置であつて、

前記複数種類の半導体素子は、

第一のエッティング速度を有する第一の高誘電率絶縁材料からなる第一の絶縁膜を含み、且つ第一の電気的膜厚を有す第一の絶縁膜構造体を有する第一の半導体素子と、

前記第一の絶縁膜と、前記第一のエッティング速度と異なる第二のエッティング速度を有する第二の高誘電率絶縁材料からなる第二の絶縁膜とを含む層構造を含み、且つ第一の電気的膜厚と異なる第二の電気的膜厚を有する第二の絶縁膜構造体を有する第二の半導体素子とを少なくとも含み、

前記第一及び第二の半導体素子は、同一のシリコン基板表面上に形成される半導体装置。

30. 前記第一及び第二の高誘電率絶縁材料は、互いに異なる構成元素を含む請求項29記載の半導体装置。

31. 前記第一及び第二の高誘電率絶縁材料は、互いに同一構成元素を含むがそれらの組成比が異なる請求項29記載の半導体装置。

32. 前記第一及び第二の高誘電率絶縁材料は、互いに異なる結晶構造を有する請求項29記載の半導体装置。

33. 前記第一及び第二の絶縁膜の少なくとも一方は、その構成元素の種類及び組成比の少なくともいずれか1つが、その膜厚方向で連続的に変化している請求項29記載の半導体装置。

3 4. 前記第一及び第二の高誘電率絶縁材料は、互いに異なる密度を有する請求項 2 7 記載の半導体装置。

3 5. 前記第一及び第二の絶縁膜は、膜中のダングリング・ポンド密度の膜厚方向でのプロファイルが互いに異なる請求項 2 9 記載の半導体装置。

3 6. 前記第一及び第二のゲート絶縁膜の少なくとも一方において、前記第一の絶縁膜あるいは前記第二の絶縁膜と該シリコン基板との界面に、シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜の少なくともいずれか 1 つからなる界面層が存在する請求項 2 9 記載の半導体装置。

3 7. 前記第二の絶縁膜構造体に含まれる前記第一及び第二の高誘電率絶縁材料は、互いにウエットエッティングに対するエッティング速度が異なり、該エッティング速度がより速い絶縁材料からなる絶縁膜が、該エッティング速度がより遅い絶縁材料からなる絶縁膜の上に延在する請求項 2 9 記載の半導体装置。

3 8. 前記エッティング速度は、フッ酸溶液に対するエッティング速度である請求項 3 7 記載の半導体装置。

3 9. 前記第二の絶縁膜構造体に含まれる前記第一及び第二の高誘電率絶縁材料は、互いに気相エッティングに対するエッティング速度が異なり、該エッティング速度がより速い絶縁材料からなる絶縁膜が、該エッティング速度がより遅い絶縁材料からなる絶縁膜の上に延在する請求項 2 9 記載の半導体装置。

4 0. 前記エッティング速度は、フッ素ラジカルによる気相エッティングに対するエッティング速度である請求項 3 9 記載の半導体装置。

4 1. 前記第一の絶縁膜と前記第二の絶縁膜とを含む前記層構造は、膜厚方

向に組成変調された層からなり、該層の下部領域が前記第一の高誘電率絶縁材料からなる第一の絶縁膜で構成され、該層の上部領域が前記第二の高誘電率絶縁材料からなる第二の絶縁膜で構成される請求項 29 記載の半導体装置。

42. 複数種類のトランジスタを含んでなる半導体装置の製造方法であって、該半導体装置は、

前記複数種類のトランジスタに含まれる、少なくとも二種類のトランジスタは、同一のシリコン基板上に形成されている、電気的膜厚が互いに異なるゲート絶縁膜を有するトランジスタであり、

前記少なくとも二種類のトランジスタとして、

少なくとも第一の高誘電率絶縁材料からなる第一の絶縁膜を、その一部に含んでなる第一のゲート絶縁膜を有する第一のトランジスタと、

少なくとも前記第一の高誘電率絶縁材料からなる第一の絶縁膜と、第二の高誘電率絶縁材料からなる第二の絶縁膜との積層構造を、その一部に含んでなる第二のゲート絶縁膜を有する第二のトランジスタとを含む半導体装置であり、

前記第一及び第二のゲート絶縁膜を形成する工程は、少なくとも、

前記同一シリコン基板上に選択される、前記第一のトランジスタを形成するための第一の形成領域と前記第二のトランジスタを形成するための第二の形成領域とに、前記第一の高誘電率絶縁材料からなる第一の絶縁膜と、該第一の絶縁膜上に延在する前記第二の高誘電率絶縁材料からなる第二の絶縁膜とを含む層構造体を形成する工程と、

少なくとも前記第一の形成領域において、前記第一の絶縁膜を残存させ、前記第二の絶縁膜を選択的に除去する工程とを含む半導体装置の製造方法。

43. 前記第二の絶縁膜を選択的に除去する工程において、

前記第二の高誘電率絶縁材料に対するエッティング速度と、前記第一の高誘電率絶縁材料に対するエッティング速度との間にエッティング速度差を有する、溶液組成のエッティング溶液を利用したウェット・エッティング法によって、前記

第二の絶縁膜を選択的にエッティング除去する請求項4 2に記載の半導体装置の製造方法。

4 4. 前記エッティング溶液は、フッ酸溶液である請求項4 3に記載の半導体装置の製造方法。

4 5. 前記第二の絶縁膜を選択的に除去する工程において、
前記第二の高誘電率絶縁材料に対するエッティング速度と、前記第一の高誘電率絶縁材料に対するエッティング速度との間にエッティング速度差を有する、フッ素ラジカルを利用した気相エッティング法によって、前記第二の絶縁膜を選択的にエッティング除去する請求項4 2に記載の半導体装置の製造方法。

4 6. 前記第一及び第二の形成領域に、シリコン酸化膜、シリコン酸窒化膜及びシリコン窒化膜の少なくともいずれか1つを含む下地絶縁膜を更に形成する工程を含み、前記第一の絶縁膜を前記下地絶縁膜上に形成する請求項4 2に記載の半導体装置の製造方法。

4 7. 前記第二の絶縁膜を選択的に除去する工程において、
前記第二の高誘電率絶縁材料に対するエッティング速度と、前記第一の高誘電率絶縁材料に対するエッティング速度並びに前記下地絶縁膜に対するエッティング速度との間にエッティング速度差を有する、溶液組成のエッティング溶液を利用したウェット・エッティング法によって、前記第二の絶縁膜を選択的にエッティング除去する請求項4 6に記載の半導体装置の製造方法。

4 8. 前記エッティング溶液は、フッ酸溶液である請求項4 7に記載の半導体装置の製造方法。

4 9. 前記第二の絶縁膜を選択的に除去する工程において、
前記第二の高誘電率絶縁材料に対するエッティング速度と、前記第一の

高誘電率絶縁材料に対するエッティング速度並びに前記下地絶縁膜に対するエッティング速度との間にエッティング速度差を有する、フッ素ラジカルを利用した気相エッティング法によって、前記第二の絶縁膜を選択的にエッティング除去する請求項4 6に記載の半導体装置の製造方法。

50. 前記第一の絶縁膜を形成する際の第一の基板温度と、前記第二の絶縁膜を形成する際の第二の基板温度とを互いに異なるよう設定することで、

成膜される前記第一及び第二の高誘電率絶縁材料とは互いに異なる結晶構造を有する請求項4 2に記載の半導体装置の製造方法。

51. 前記第二の絶縁膜を形成する工程を実施した後、

前記第一及び第二の絶縁膜に対して、熱処理を施す工程を更に含み、

前記熱処理の温度は、前記第一及び第二の高誘電率絶縁材料の少なくともいざれか1方の特性を改善する温度に設定する請求項4 2に記載の半導体装置製方法。

52. 前記第一及び第二の絶縁膜を形成する工程は、

前記第一及び第二の形成領域に前記第一の高誘電率絶縁材料からなる前記第一の絶縁膜を形成する工程と、

前記第一の絶縁膜上に、前記第二の高誘電率絶縁材料からなる前記第二の絶縁膜を形成する工程とからなる請求項4 2に記載の半導体装置製方法。

53. 前記第一及び第二の絶縁膜を形成する工程は、

前記第一及び第二の形成領域に前記第一の高誘電率絶縁材料からなる前記第一の絶縁膜を形成する工程と、

前記第一の絶縁膜上に、金属膜を形成する工程と、

前記第一の絶縁膜と前記金属膜とに対し熱処理を施すことで、前記第一の絶縁膜の構成元素と前記金属膜の構成元素との間で反応が生じ、前記第一の絶縁膜と前記金属膜との積層体が膜厚方向に組成変調され、下部領域が前記

第一の高誘電率絶縁材料からなる前記第一の絶縁膜で構成され、上部領域が前記第二の高誘電率絶縁材料からなる前記第二の絶縁膜で構成される組成変調層を形成する工程とからなる請求項 4 2 に記載の半導体装置製方法。

5 4. 電気的膜厚が互いに異なる第一及び第二の絶縁膜構造体を同一半導体基板上に形成する方法であって、

前記半導体基板上に選択される、第一の選択領域と第二の選択領域とに、第一の高誘電率絶縁材料からなる第一の絶縁膜と、該第一の絶縁膜上に延在する第二の高誘電率絶縁材料からなる第二の絶縁膜とを含む層構造体を形成する工程と、

少なくとも前記第一の選択領域において、前記第一の絶縁膜を残存させ、前記第二の絶縁膜を選択的に除去する工程とを含む方法。

5 5. 前記第二の絶縁膜を選択的に除去する工程において、

前記第二の高誘電率絶縁材料に対するエッチング速度と、前記第一の高誘電率絶縁材料に対するエッチング速度との間にエッチング速度差を有する、溶液組成のエッチング溶液を利用したウェット・エッチング法によって、前記第二の絶縁膜を選択的にエッチング除去する請求項 5 4 に記載の方法。

5 6. 前記エッチング溶液は、フッ酸溶液である請求項 5 5 に記載の方法。

5 7. 前記第二の絶縁膜を選択的に除去する工程において、

前記第二の高誘電率絶縁材料に対するエッチング速度と、前記第一の高誘電率絶縁材料に対するエッチング速度との間にエッチング速度差を有する、フッ素ラジカルを利用した気相エッチング法によって、前記第二の絶縁膜を選択的にエッチング除去する請求項 5 4 に記載の方法。

5 8. 前記第一及び第二の形成領域に、シリコン酸化膜、シリコン酸窒化膜及びシリコン窒化膜の少なくともいずれか 1 つを含む下地絶縁膜を更に形成す

る工程を含み、前記第一の絶縁膜を前記下地絶縁膜上に形成する請求項 5 4 に記載の方法。

5 9. 前記第二の絶縁膜を選択的に除去する工程において、

前記第二の高誘電率絶縁材料に対するエッティング速度と、前記第一の高誘電率絶縁材料に対するエッティング速度並びに前記下地絶縁膜に対するエッティング速度との間にエッティング速度差を有する、溶液組成のエッティング溶液を利用したウェット・エッティング法によって、前記第二の絶縁膜を選択的にエッティング除去する請求項 5 8 に記載の方法。

6 0. 前記エッティング溶液は、フッ酸溶液である請求項 5 9 に記載の方法。

6 1. 前記第二の絶縁膜を選択的に除去する工程において、

前記第二の高誘電率絶縁材料に対するエッティング速度と、前記第一の高誘電率絶縁材料に対するエッティング速度並びに前記下地絶縁膜に対するエッティング速度との間にエッティング速度差を有する、フッ素ラジカルを利用した気相エッティング法によって、前記第二の絶縁膜を選択的にエッティング除去する請求項 5 8 に記載の方法。

6 2. 前記第一の絶縁膜を形成する際の第一の基板温度と、前記第二の絶縁膜を形成する際の第二の基板温度とを互いに異なるよう設定することで、

成膜される前記第一及び第二の高誘電率絶縁材料とは互いに異なる結晶構造を有する請求項 5 4 に記載の方法。

6 3. 前記第二の絶縁膜を形成する工程を実施した後、

前記第一及び第二の絶縁膜に対して、熱処理を施す工程を更に含み、

前記熱処理の温度は、前記第一及び第二の高誘電率絶縁材料の少なくともいずれか 1 方の特性を改善する温度に設定する請求項 5 4 に記載の方法。

6 4. 前記第一及び第二の絶縁膜を形成する工程は、

前記第一及び第二の形成領域に前記第一の高誘電率絶縁材料からなる前記第一の絶縁膜を形成する工程と、

前記第一の絶縁膜上に、前記第二の高誘電率絶縁材料からなる前記第二の絶縁膜を形成する工程とからなる請求項 5 4 に記載の方法。

6 5. 前記第一及び第二の絶縁膜を形成する工程は、

前記第一及び第二の形成領域に前記第一の高誘電率絶縁材料からなる前記第一の絶縁膜を形成する工程と、

前記第一の絶縁膜上に、金属膜を形成する工程と、

前記第一の絶縁膜と前記金属膜とに対し熱処理を施すことで、前記第一の絶縁膜の構成元素と前記金属膜の構成元素との間で反応が生じ、前記第一の絶縁膜と前記金属膜との積層体が膜厚方向に組成変調され、下部領域が前記第一の高誘電率絶縁材料からなる前記第一の絶縁膜で構成され、上部領域が前記第二の高誘電率絶縁材料からなる前記第二の絶縁膜で構成される組成変調層を形成する工程とからなる請求項 5 4 に記載の方法。

図 1 A

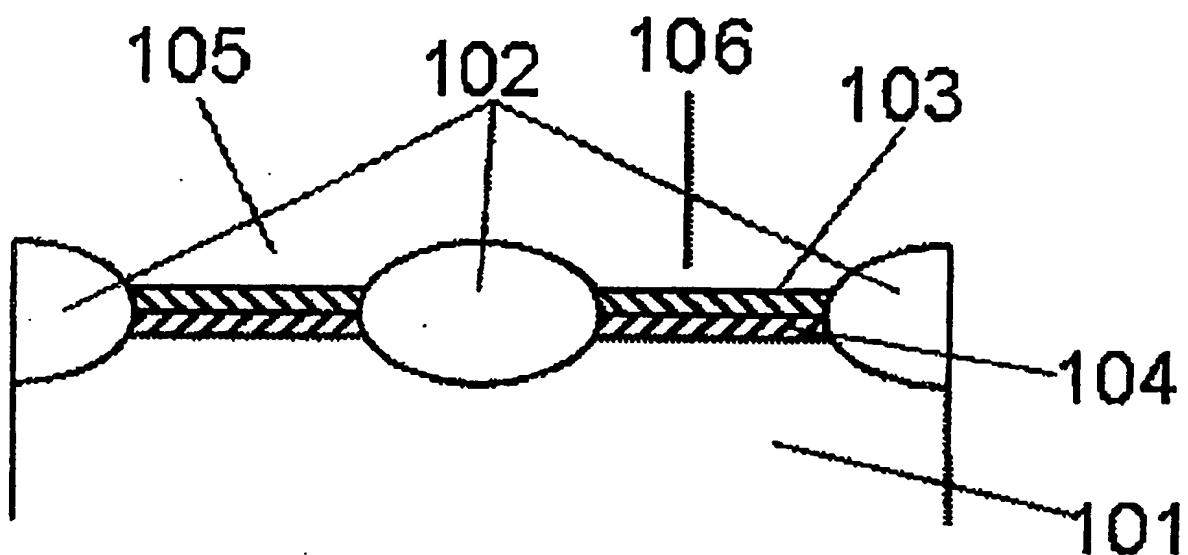
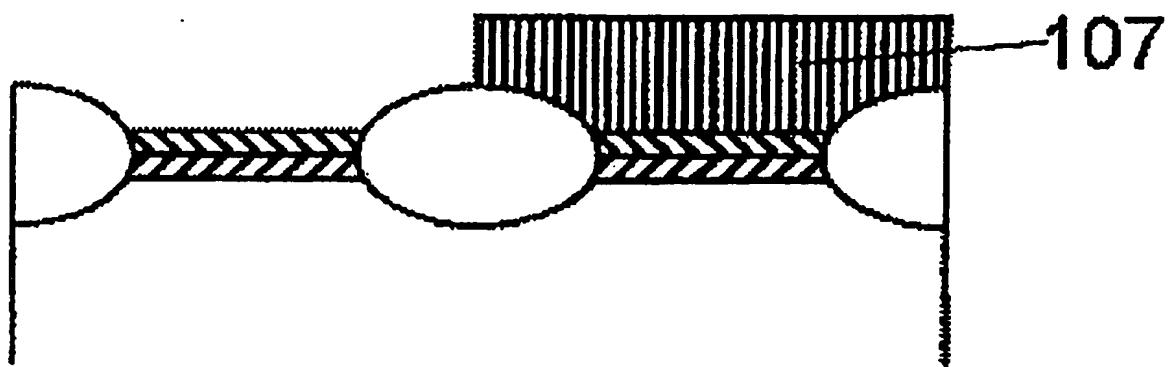


図 1 B



☒ 1 C

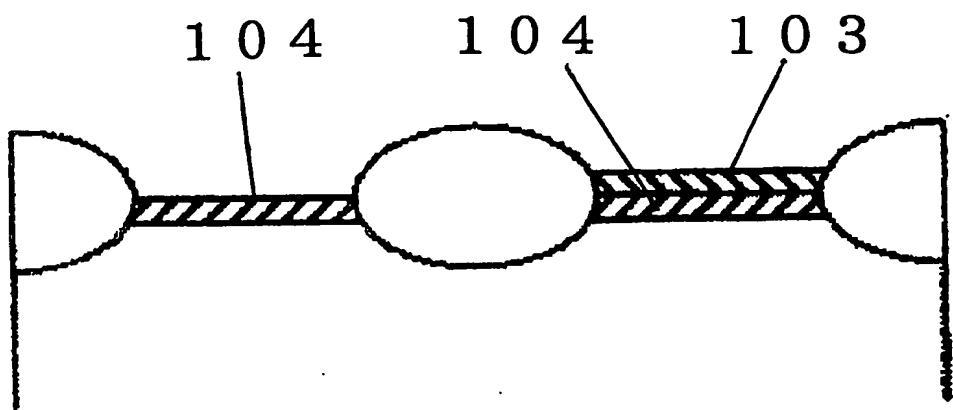


図 2

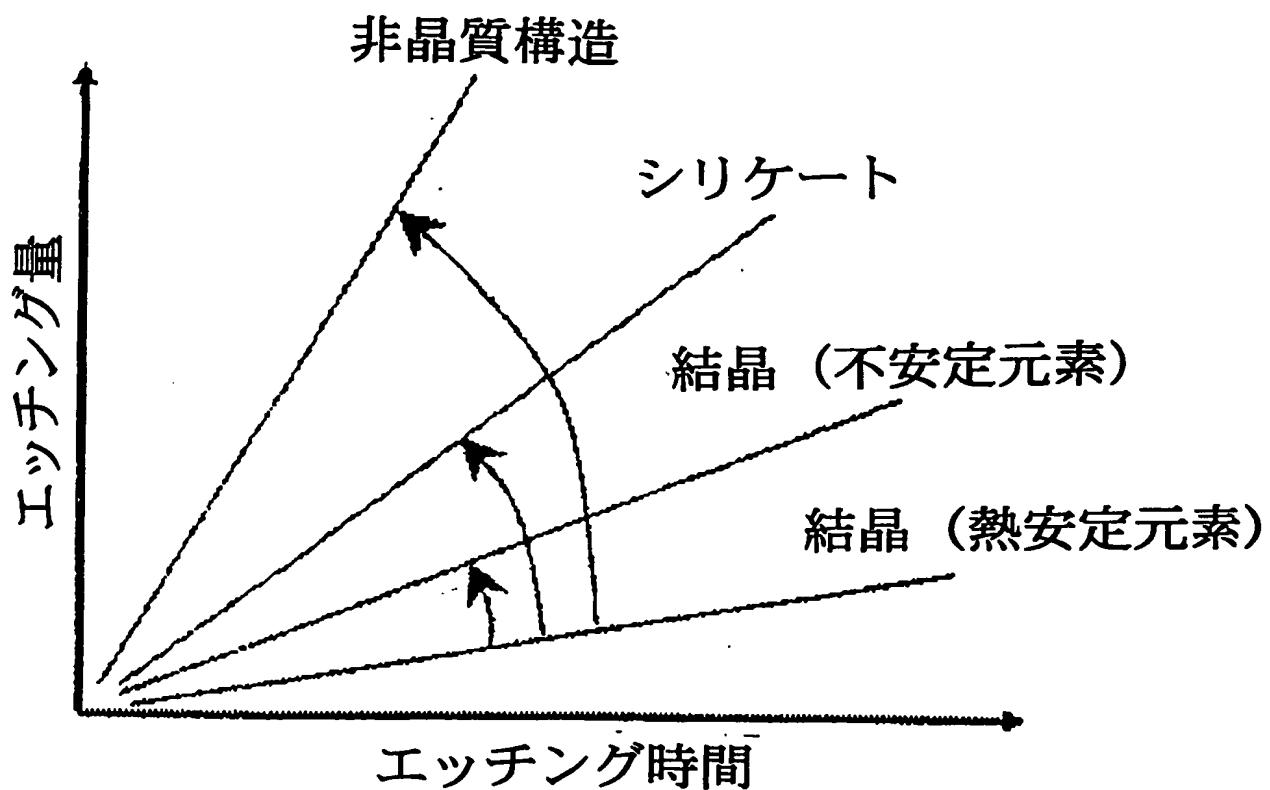


図 3

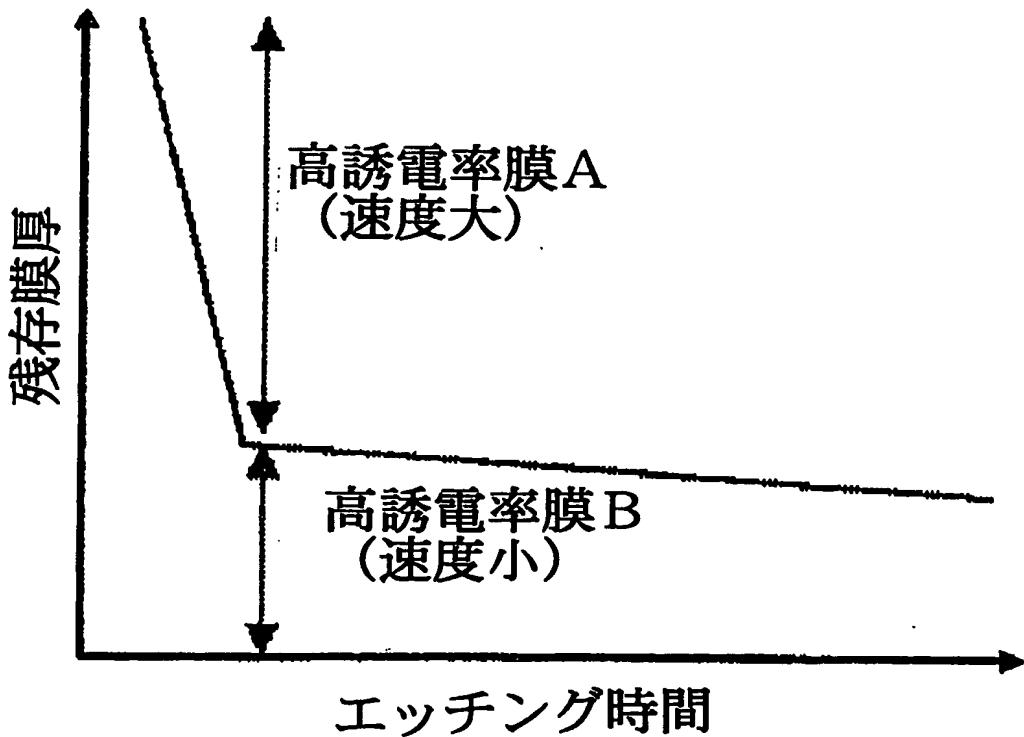


図 4 A

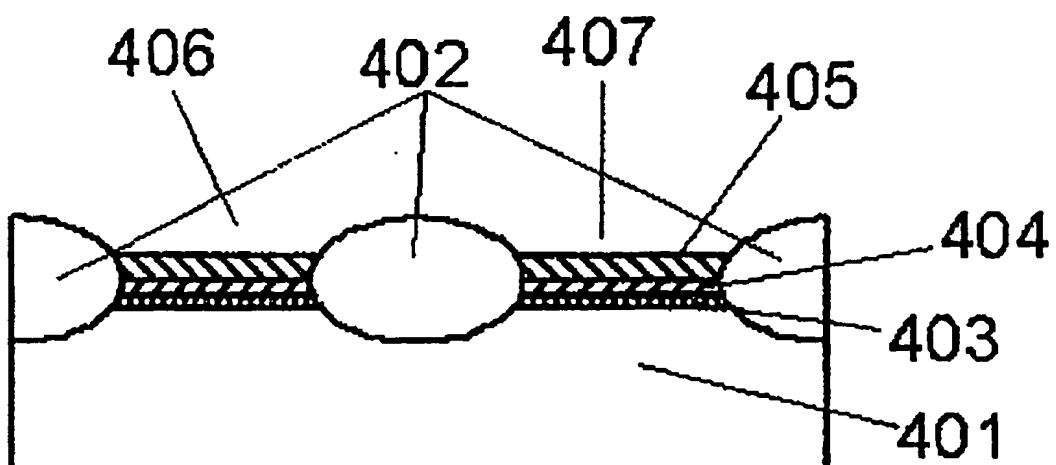


図 4 B

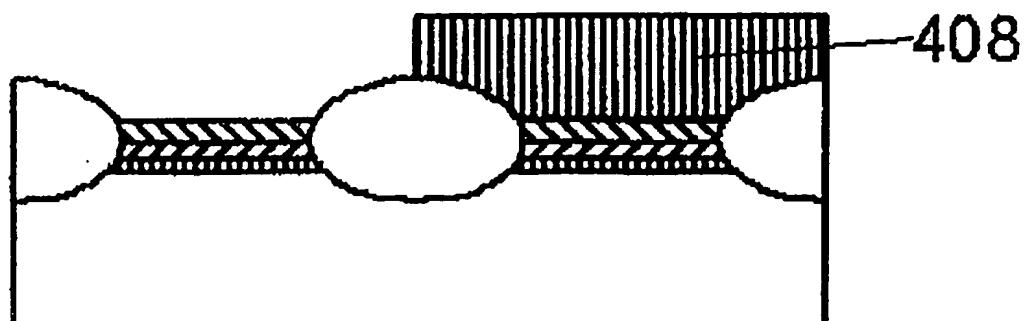


図 4 C

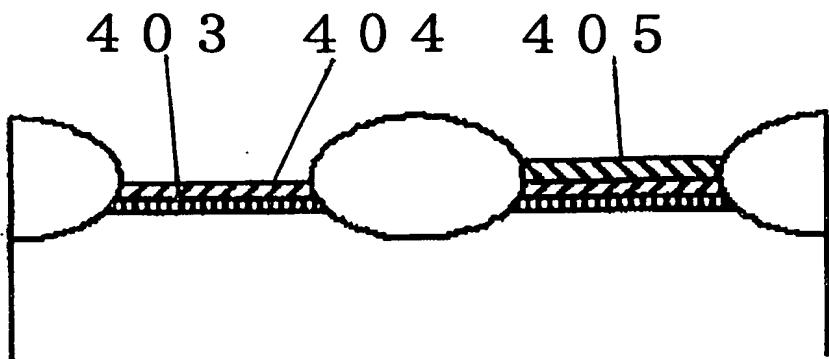


図 4 D

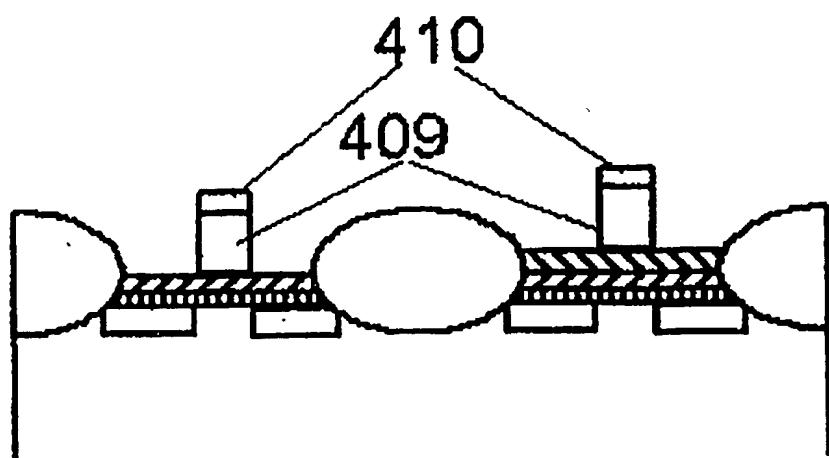


図 5A

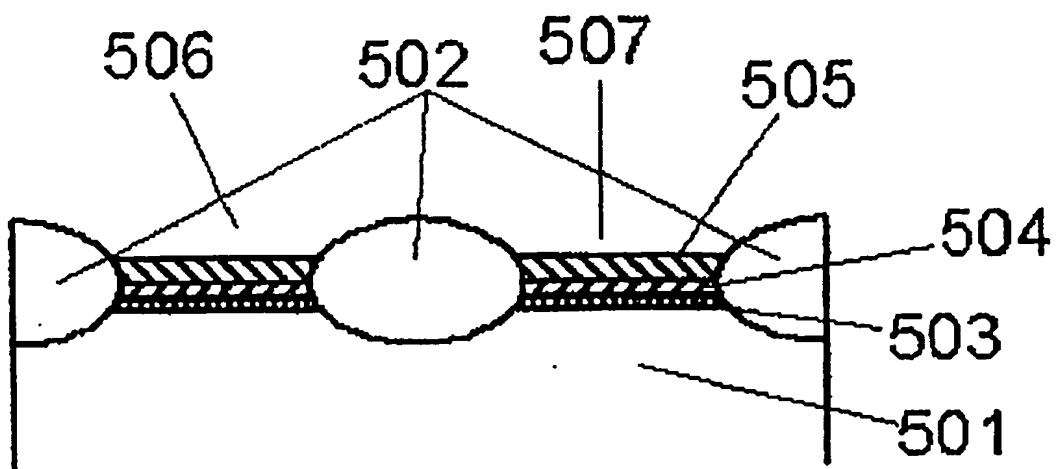


図 5B

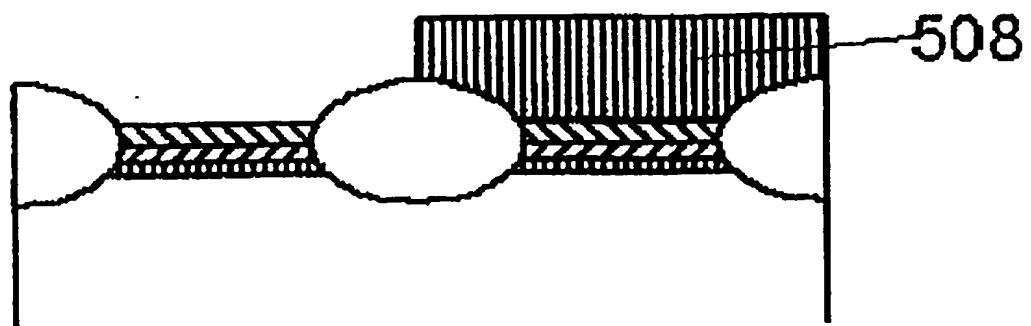


図 5C

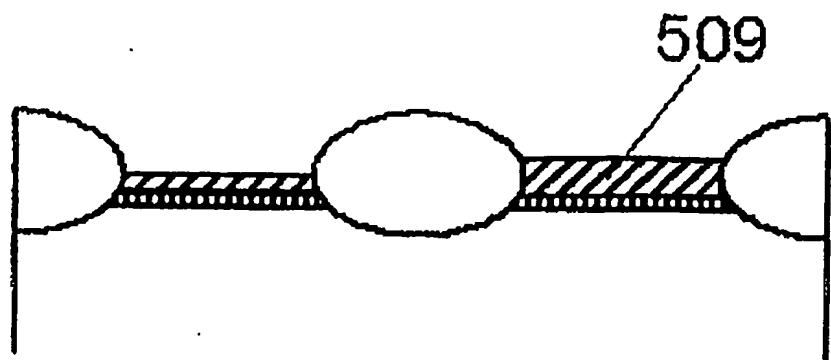


図 5D

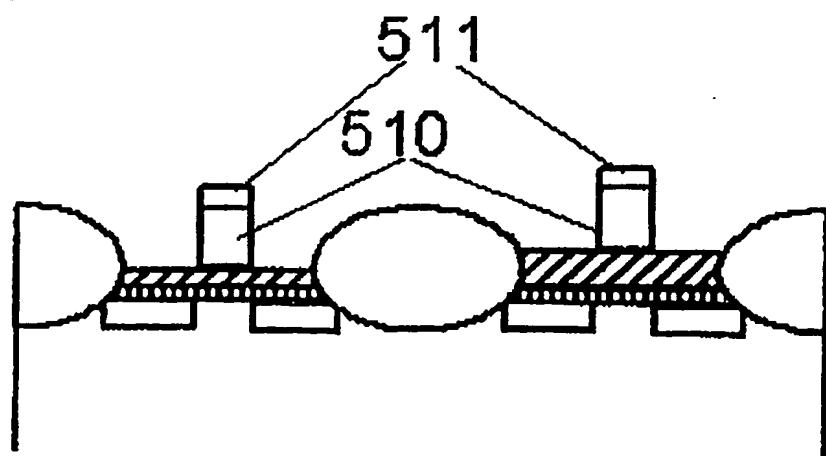


図 6A

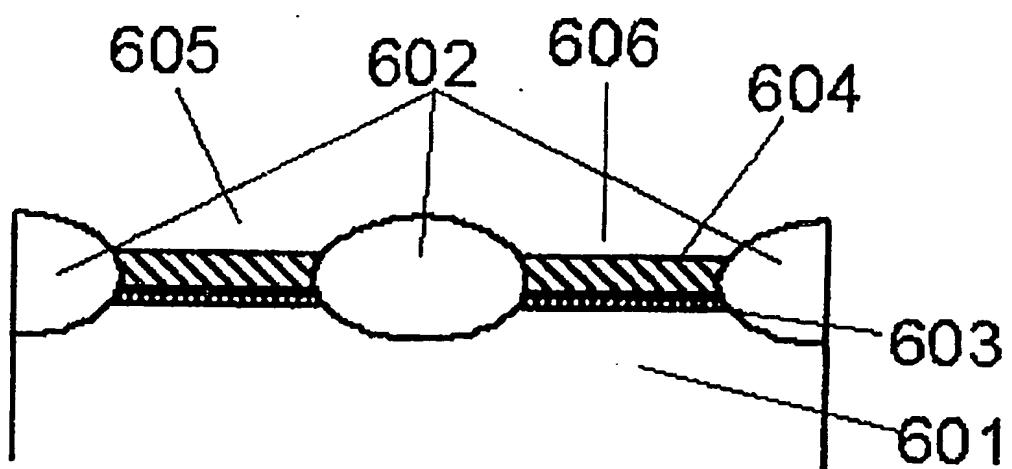


図 6B

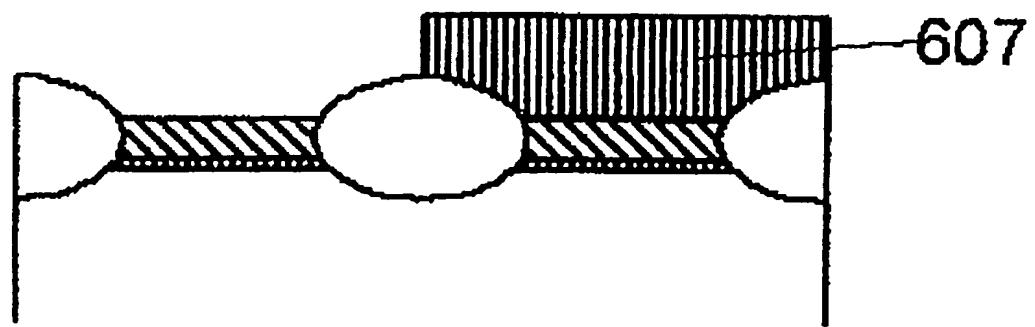


図 6C

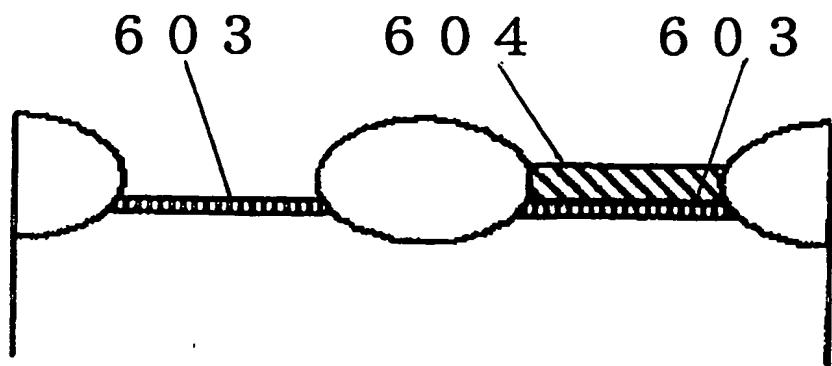


図 6D

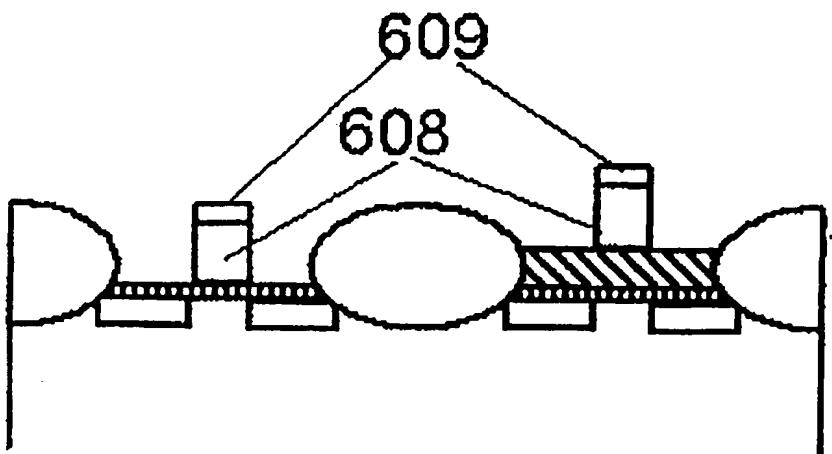


図 7A

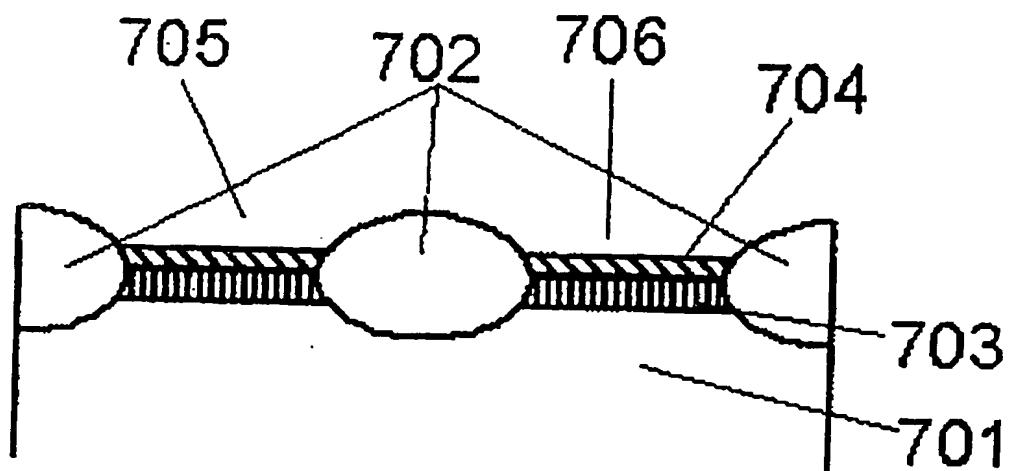


図 7B

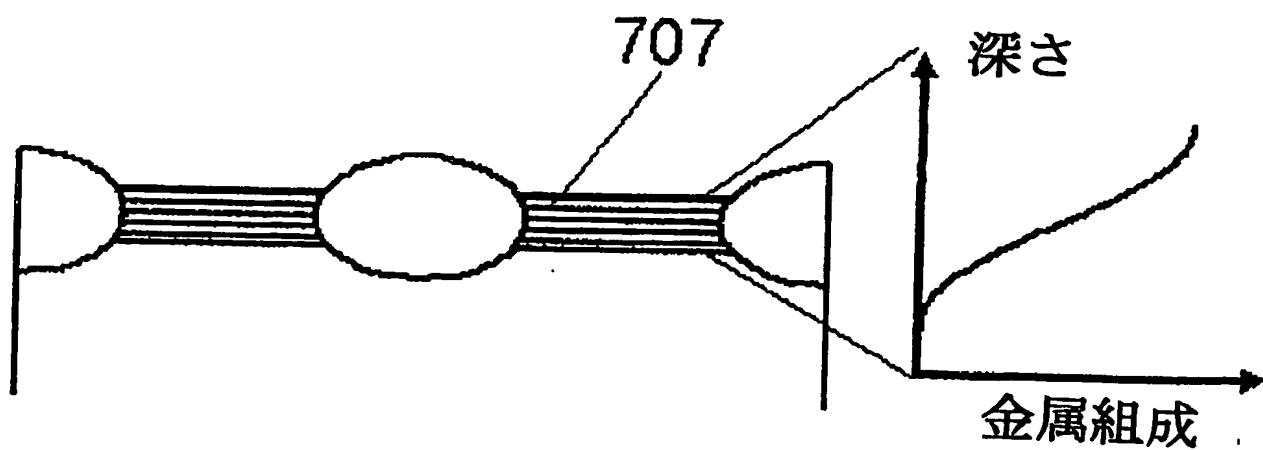


図 7C

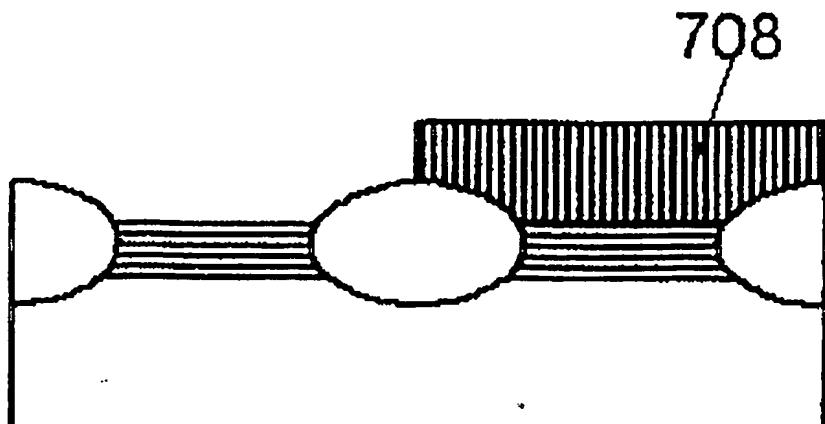


図 7D

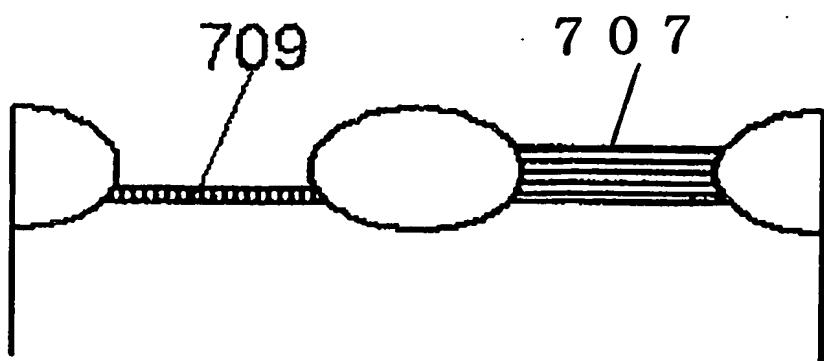


図 7E

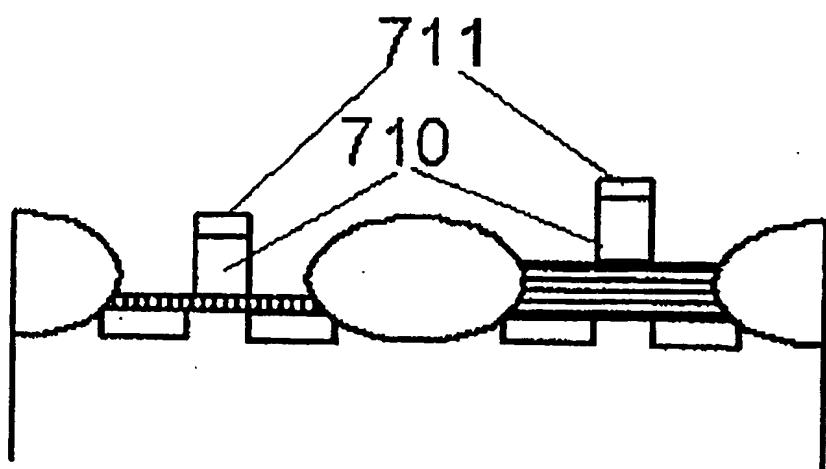
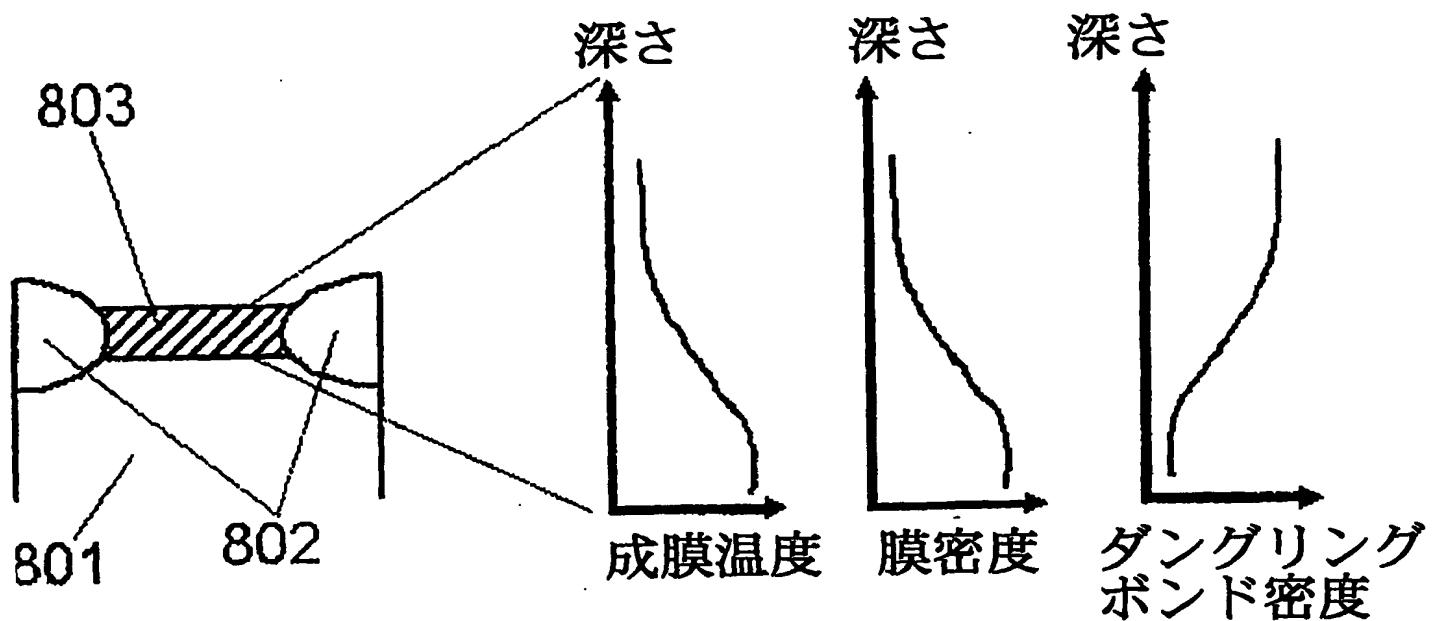


図 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04700

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/088

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/088-092, H01L27/108-115, H01L29/78-792,
H01L21/8234-8238, H01L21/8242-8247, H01L21/336,
H01L21/31-318

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-307010 A (NEC Corp.), 02 November, 2000 (02.11.00), Column 4, line 4 to column 5, line 24; Fig. 1 (Family: none)	1-2, 4, 14-15, 17, 26-27, 30, 32 3, 5, 13, 16, 18, 28, 31, 33, 41
X	US 6278164 B1 (KABUSHIKI KAISHA TOSHIBA), 21 August, 2001 (21.08.01), Column 9, line 40 to column 11, line 21; Figs. 11A to 15B	1-4, 14-17, 26-27, 30-32
Y	& JP 10-189966 A Column 12, line 35 to column 14, line 31; Figs. 8 to 10	5, 18, 33
A	& KR 1998-0064586 A & TW 368746 A	13, 28, 41

 Further documents are listed in the continuation of Box C. See patent family annex.

- Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed
- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
15 July, 2003 (15.07.03)Date of mailing of the international search report
29 July, 2003 (29.07.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/JP03/04700

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2000-307083 A (Hitachi, Ltd.), 02 November, 2000 (02.11.00), Full text; Figs. 1(a) to 18(d) (Family: none)	4,17,32 3,16,31
Y A	JP 7-326681 A (NEC Corp.), 12 December, 1995 (12.12.95), Full text; Figs. 1 to 11 (Family: none)	5,18,33 3,13,16,28, 31,41
A	JP 11-67760 A (Sony Corp.), 09 March, 1999 (09.03.99), Full text; Figs. 1 to 4(c) (Family: none)	3,5,13,16, 18,28,31,33, 41
A	JP 2000-232170 A (Toshiba Micro-Electronics Corp.), 22 August, 2000 (22.08.00), Full text; Figs. 1(a) to 12 (Family: none)	3,5,13,16, 18,28,31,33, 41
A	JP 3-30470 A (Toshiba Corp.), 08 February, 1991 (08.02.91), Full text; Figs. 1 to 4(e) (Family: none)	1-5,13-18, 26-28,30-33, 41

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/JP03/04700

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The group of inventions of claims 1-65 are linked only in the point of "comprising at least a first insulation film structure including a first insulation film made of a first high-permittivity insulation material and having a first electrical film thickness and a second insulation film structure including a layer structure including the first insulation film and second insulation film made of a second high-permittivity insulation material different from the first one and having second electric film thickness different from the first one". This point is disclosed in prior-art documents such as JP 2000-307010 A (NEC Corporation) 2000.11.02. and therefore

(continued to extra sheet)

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.: 1-5, 13-18, 26-28, 30-33, 41

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest The additional search fees were accompanied by the applicant's protest.
 No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/04700

Continuation of Box No.II of continuation of first sheet(1)

cannot be a special technical feature. The claims of this International Application define at least nine inventions: (a) Claims 1, 2, 14, 15, 26, 27, 30) (with no mutually different materials or technical features of invention), (b) Claims 3, 16, 31 (with the same constituent elements but with their mutually different composition ratios), (c) Claims 4, 17, 32 (with mutually different crystal structures), (d) Claims 5, 13, 18, 28, 33, 41 (change in film thickness direction), (e) Claims 6, 19, 34 (with mutually different densities), (f) Claims 7, 20, 35 (with mutually different profiles in the film thickness direction of dangling bond density in a film), (g) Claims 8, 21, 36 (interfacial layer consisting of at least a silicon oxide film, silicon oxynitride film, or silicon nitride film), (h) Claims 9-12, 22-25, 29, 37-40 (with mutually different etching rates), and (i) Claims 42-65 (the process of selectively removing a second insulation film with a first insulation film left in at least a first selected region).

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl' H01L27/088

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl' H01L27/088-092, H01L27/108-115, H01L29/78-792,
H01L21/8234-8238, H01L21/8242-8247, H01L21/336,
H01L21/31-318

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年, 日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年, 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-307010 A, (日本電気株式会社), 2000. 11. 02, 第4欄4行-第5欄24行, 図1, ファミリーなし	1-2, 4, 14-15, 17, 26-27, 30, 32
A		3, 5, 13, 16, 18, 28, 31, 33, 41

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

15. 07. 03

国際調査報告の発送日

29.07.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

安 田 雅 彦



4 L 9447

電話番号 03-3581-1101 内線 3498

C (続き) 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
X	U S 6 2 7 8 1 6 4 B 1, (KABUSHIKI KAISHA TOSHIBA), 2 0 0 1. 0 8. 2 1, 第9欄40行-第11欄21行, FIG. 11A-15B	1-4, 14-17, 26-27, 30-32
Y	& J P 1 0 - 1 8 9 9 6 6 A, 第12欄35行-第14欄31行, 図8-10	5, 18, 33
A	& K R 1 9 9 8 - 0 0 6 4 5 8 6 A & T W 3 6 8 7 4 6 A	13, 28, 41
Y	J P 2 0 0 0 - 3 0 7 0 8 3 A, (株式会社日立製作所), 2 0 0 0. 1 1. 0 2, 全文, 図1(a)-18(d), ファミリーなし	4, 17, 32
A		3, 16, 31
Y	J P 7 - 3 2 6 6 8 1 A, (日本電気株式会社), 1 9 9 5. 1 2. 1 2, 全文, 図1-11, ファミリーなし	5, 18, 33
A		3, 13, 16, 28, 31, 41
A	J P 1 1 - 6 7 7 6 0 A, (ソニー株式会社), 1 9 9 9. 0 3. 0 9, 全文, 図1-4(c), ファミリーなし	3, 5, 13, 16, 18, 28, 31, 33, 41
A	J P 2 0 0 0 - 2 3 2 1 7 0 A, (東芝マイクロエレクトロニクス株式会社), 2 0 0 0. 0 8. 2 2, 全文, 図1(a)-12, ファミリーなし	3, 5, 13, 16, 18, 28, 31, 33, 41
A	J P 3 - 3 0 4 7 0 A, (株式会社東芝), 1 9 9 1. 0 2. 0 8, 全文, 第1-4(e)図, ファミリーなし	1-5, 13-18, 26-28, 30-33, 41

第Ⅰ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅱ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-65に記載された一群の発明は「第一の高誘電率絶縁材料からなる第一の絶縁膜を含み、且つ第一の電気的膜厚を有する第一の絶縁膜構造体と、前記第一の絶縁膜と、前記第一の高誘電率絶縁材料と異なる第二の高誘電率絶縁材料からなる第二の絶縁膜とを含む層構造を含み、且つ第一の電気的膜厚と異なる第二の電気的膜厚を有する第二の絶縁膜構造体とを少なくとも含」む点においてのみ連関するが、この点は先行技術文献、例えばJP 2000-307010 A（日本電気株式会社）2000.11.02に記載されており特別な技術的特徴とはなり得ず、この国際出願の請求の範囲には少なくとも、(a)請求の範囲1, 2, 14, 15, 26, 27, 30(互いに異なる材料又は発明の技術的特徴を持たないもの)、(b)請求の範囲3, 16, 31(互いに同一構成元素を含むがそれらの組成比が異なる)、(c)請求の範囲4, 17, 32(互いに異なる結晶構造)、(d)請求の範囲5, 13, 18, 28, 33, 41(膜厚方向で変化)、(e)請求の範囲6, 19, 34(互いに異なる密度)、(f)請求の範囲7, 20, 35(膜中のダングリング・ボンド密度の膜厚方向でのプロファイルが互いに異なる)、(g)請求の範囲8, 21, 36(シリコン酸化膜、シリコン酸窒化膜あるいはシリコン窒化膜の少なくともいずれか1つからなる界面層)、(h)請求の範囲9-12, 22-25, 29, 37-40(エッティング速度が異なる)、(i)請求の範囲42-65(少なくとも第一の選択領域において、第一の絶縁膜を残存させ、第二の絶縁膜を選択的に除去する工程)に区分される9個の発明が記載されているものと認める。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかつた。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかつたので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

請求の範囲1-5, 13-18, 26-28, 30-33, 41

4. 出願人が必要な追加調査手数料を期間内に納付しなかつたので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

追加調査手数料の納付と共に出願人から異議申立てがあつた。

追加調査手数料の納付と共に出願人から異議申立てがなかつた。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.